

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: **1020020065858**
(43)Date of publication of application: **14.08.2002** **A**

(21)Application number: **1020020006849**
(22)Date of filing: **06.02.2002**
(30)Priority: **07.02.2001 JP 2001 2001031320**
(51)Int. Cl **H01L 21/8247**

(71)Applicant: **FUJITSU LIMITED**
(72)Inventor: **TAKAHASHI KOJI**

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57) Abstract:

PURPOSE: To provide a semiconductor device, in which two-bit information can be stored by one memory cell and which can be driven at a low voltage.

CONSTITUTION: A gate insulating film is formed on a partial region on the surface of a semiconductor substrate, and a gate electrode is formed on it. An ONO film is formed on the side face of the gate electrode and on the surface of the semiconductor substrate on both sides of the gate electrode, so as to follow the side face and the surface. A silicon nitride film in the ONO film traps carriers. A conductive sidewall spacer faces the side face of the gate electrode and the surface of the semiconductor substrate via a laminated film. A conductive connecting member electrically connects the sidewall spacer to the gate electrode. A source region and a gate region are formed, in regions sandwiching the gate electrode from among the surface layer part of the semiconductor substrate.

© KIPO & JPO 2003.

Legal Status

Final disposal of an application (application)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 21/8247	(11) 공개번호 (43) 공개일자	특2002-0065858 2002년08월14일
(21) 출원번호	10-2002-0006849	
(22) 출원일자	2002년02월06일	
(30) 우선권주장	JP-P-2001-00031320	2001년02월07일 일본(JP)
(71) 출원인	후지쯔 가부시끼가이샤	
(72) 발명자	일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1 다카하시고지	
(74) 대리인	일본가나가와켄가와사키시나카하라구가미고다나카4초메1방1고후지쯔가부시 끼가이샤내 장수길, 구영창	

심사청구 : 없음

(54) 반도체 장치 및 그 제조 방법

요약

하나의 메모리 셀로 2 비트의 정보를 기억할 수 있고, 또한 저전압 구동이 가능한 반도체 장치를 제공한다. 반도체 기판 표면의 일부 영역 상에 게이트 절연막이 형성되고, 그 위에 게이트 전극이 형성되어 있다. 게이트 전극의 측면, 및 상기 게이트 전극의 양측의 상기 반도체 기판 표면 상에, 상기 측면 및 상기 표면에 합치되도록 ONO막이 형성되어 있다. ONO막 중의 질화 실리콘막이 캐리어를 트랩한다. 도전성 측벽 스페이서가 적층막을 사이에 두고 게이트 전극의 측면 및 반도체 기판의 표면에 대향한다. 도전성 접속 부재가 측벽 스페이서와 게이트 전극을 전기적으로 접속한다. 반도체 기판의 표층부 중, 게이트 전극을 끼고 있는 각각의 영역에, 소스 및 드레인 영역이 형성되어 있다.

도표도

도2

색인어

스페이서, 캐리어, 트랩, 도전성 접속 부재, 측벽 스페이서, 적층막, ONO막, 질화 실리콘막, 메모리 셀

명세서

도면의 간단한 설명

- 도 1은 제1 실시예에 의한 반도체 장치의 평면도.
- 도 2는 제1 실시예에 의한 반도체 장치의 단면도.
- 도 3은 제1 실시예에 의한 반도체 장치의 부분 파단 사시도.
- 도 4는 제1 실시예에 의한 반도체 장치의 등가 회로도.
- 도 5는 제1 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 기판의 제1 단면도.
- 도 6은 제1 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 기판의 제2 단면도.
- 도 7은 제1 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 기판의 제3 단면도.
- 도 8은 제1 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 기판의 제4 단면도.
- 도 9는 제2 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 기판의 제1 단면도.
- 도 10은 제2 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 기판의 제2 단면도.
- 도 11은 제2 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 기판의 제3 단면도.
- 도 12는 제2 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 기판의 제4 단면도.
- 도 13은 제2 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 기판의 제5 단면도.
- 도 14는 제2 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 기판의 제6 단면도.
- 도 15는 제3 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 기판의 제1 단면도.
- 도 16은 제3 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 기판의 제2 단면도.

- 도 17은 제3 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 기판의 제3 단면도.
- 도 18은 제4 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 기판의 제1 단면도.
- 도 19는 제4 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 기판의 제2 단면도.
- 도 20은 제4 실시예에 의한 반도체 장치의 단면도, 및 드레인 전류 특성을 나타내는 그래프.
- 도 21은 제5 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 기판의 제1 단면도.
- 도 22는 제5 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 기판의 제2 단면도.
- 도 23은 종래의 플래시 메모리 셀의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

- 1, 101, 201, 301, 401 : 실리콘 기판
- 2, 203, 302, 402 : 불순물 확산 영역
- 3, 205, 306, 407 : 절연막
- 4, 104, 204, 406 : 게이트 절연막
- 5, 105 : 게이트 전극
- 6, 110, 202, 305 : ONO막
- 7, 111a : 측벽 스페이서
- 10, 116, 206, 310, 420 : 게이트 라인
- 20 : FET
- 25 : 필드 산화막
- 26, 28 : 플러그
- 27, 29 : 상층 배선
- 40a~40d : 셀렉트 게이트선
- 41 : 메인 라인
- 42 : FET
- 50, 118, 207, 307, 417 : 채널 스토퍼 영역
- 106 : 게이트 상부막
- 111 : 폴리실리콘막
- 115 : 층간 절연막
- 117, 210, 330, 410 : 레지스트 패턴
- 303, 403 : 중간 영역
- 405 : 스루 산화막
- 415 : 질화 실리콘막
- 416 : 산화 실리콘막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 특히 FET의 채널 영역 상에 배치된 3층 구조의 중앙 층에 캐리어를 트랩하여 정보를 기억하는 반도체 장치 및 그 제조 방법에 관한 것이다.

도 23의 (A)에, 종래의 플래시 메모리 셀의 단면도의 일례를 나타낸다. p형의 실리콘 기판(700)의 표층 부에, n형 소스 영역(701) 및 드레인 영역(702)이 형성되고, 그 사이에 채널 영역(703)이 획정되어 있다. 소스 영역(701) 및 드레인 영역(702)의 표면이 국소 산화막(705)으로 덮여 있다.

채널 영역(703)의 표면 상에, 하층의 산화 실리콘막(706A), 질화 실리콘막(706B), 및 상층의 산화 실리콘막(706C)이 이 순서대로 적층된 적층막(이하, ONO막이라 함: 706)이 형성되어 있다. 국소 산화막(705) 및 ONO막(706) 상에, 게이트 전극(707)이 형성되어 있다.

다음으로, 도 23의 (A)에 도시한 플래시 메모리 셀의 동작 원리에 대하여 설명한다.

가입 시에는 소스 영역(701)에 인가하는 소스 전압 V_s 및 기판 전압 V_{sub} 을 0V, 드레인 영역(702)에 인가하는 드레인 전압 V_d 을 5V, 게이트 전극(707)에 인가하는 게이트 전압 V_g 을 10V로 한다. 채널 영역(703)

과 드레인 영역(702)과의 경계의 근방에서 채널 열 전자 주입(CHE 주입)이 발생하여, 질화 실리콘막(706B) 내에 전자가 트랩된다.

소스 영역(701)과 드레인 영역(702)에 인가하는 전압을 반대로 함으로써, 질화 실리콘막(706B) 중, 채널 영역(703)과 소스 영역(701)과의 경계의 근방의 부분에 전자를 트랩할 수 있다. 이에 따라, 하나의 메모리 셀로 2 비트의 정보를 기억할 수 있다.

판독 시에는 드레인 전압 V_d 및 기판 전압 V_{sub} 를 0V, 소스 전압 V_s 를 1V, 게이트 전압 V_g 를 3.3V로 한다. 질화 실리콘막(706B) 내에 전자가 트랩되어 있는 상태에서는 채널 영역(703)의, 드레인 영역(702)측의 단부에 캐리어 농도 분포의 반전 영역이 형성되지 않는다. 이 때문에, 소스 드레인 사이에 전류가 흐르지 않는다. 질화 실리콘막(706B) 내에 전자가 트랩되어 있지 않은 상태에서는 소스 드레인 사이에 드레인 전류가 흐른다. 또, 소스 영역(701)의 근방에서는 소스 영역(701)으로부터 채널 영역(703) 내로 공핍 영역이 연장되기 때문에, 드레인 전류는 소스 영역(701)측의 부분의 캐리어 트랩의 유무에 의한 영향을 거의 받지 않는다.

소스 전압 V_s 와 드레인 전압 V_d 를 반대로 함으로써, 질화 실리콘막(706B) 중, 소스 영역(701)과 채널 영역(703)과의 경계의 근방의 부분에 전자가 트랩되어 있는지의 여부를 검출할 수 있다.

소거 시에는 기판 전압 V_{sub} 를 0V, 소스 전압 V_s 를 5V 또는 부유 상태, 드레인 전압 V_d 를 5V, 게이트 전압 V_g 를 -5V로 한다. 대역간 터널링에 의해 드레인 영역(702)과 채널 영역(703)과의 경계 근방에서, 질화 실리콘막(706B) 내에 정공이 주입된다. 이에 따라, 트랩되어 있던 전자에 의한 전하가 중화된다.

소스 전압 V_s 와 드레인 전압 V_d 를 반대로 함으로써, 질화 실리콘막(706B) 중, 소스 영역(701)과 채널 영역(703)과의 경계의 근방에 정공을 주입할 수 있다.

CHE 주입에 의해 질화 실리콘막(706B)에 트랩되는 전자의 밀도 분포는 대역간 터널링에 의해 주입되는 정공의 밀도 분포에 비하여, 채널 영역(703)의 중앙측에 집중되어 있다. 채널 영역(703)의 중앙 근방에 분포하는 전자에 의한 전하를 중화하기 위해서, 대역간 터널링에 의해 상당히 많은 정공을 주입할 필요가 있다.

또한, 플래시 메모리 셀의 기입 소거 동작을 반복하면, 질화 실리콘막(706B)에 트랩되는 전자의 밀도 분포가 채널 영역(703)의 중앙을 향해 연장되어 간다고 생각된다. 이 때문에, 기입/소거 동작을 반복하면, 정공의 주입에 의한 소거를 위해서 필요한 시간이 길어진다.

또한, 기입 시에는 CHE 주입 외에, 2차 충돌 전리 열 전자 주입도 발생한다고 생각된다. 2차 충돌 전리 열 전자 주입이 생기면, 질화 실리콘막(706B) 중 채널 영역(703)의 중앙부 상의 영역에, 전자가 트랩된다. 채널 영역(703)의 중앙부 상의 질화 실리콘막(706B)에 트랩된 전자는 대역간 터널링에 의한 정공의 주입으로는 방출할 수 없다. 이 때문에, 기입과 소거를 반복하면, 임계치가 서서히 상승하게 된다. 본 발명자에 의한 평가 실험에서는 제조 직후에는 메모리 셀의 기입 시 및 소거 시의 임계치가 각각 약 3.8V 및 2.5V이지만, 1만회의 기입과 소거를 반복한 후의 임계치는 각각 약 4.6V 및 3.25V까지 상승하였다.

도 23의 (B)에, 일본 특개평9-252059호 공보에 개시된 플래시 메모리 셀의 단면도를 도시한다.

p형 실리콘 기판(710)의 표층부에 n형 소스 영역(711) 및 드레인 영역(712)이 형성되고, 그 사이에 채널 영역(714)이 형성되어 있다. 드레인 영역(712)과 실리콘 기판(710)과의 계면에 저농도의 n형 불순물 확산 영역(713)이 형성되어 있다.

채널 영역(714)의 표면 상에 게이트 절연막(715)이 형성되고, 그 위에 게이트 전극(716)이 형성되어 있다. 게이트 절연막(715) 및 게이트 전극(716)은 소스 영역(711) 및 드레인 영역(712) 중 어느 것으로부터도, 임의의 간격을 사이에 두고 배치되어 있다. 게이트 전극(716)의, 드레인 영역(712)측의 단부가 저농도의 불순물 확산 영역(713)의 일부와 중첩된다.

게이트 전극(716)의 측면, 게이트 전극(716)과 소스 영역(711)과의 사이의 기판 표면, 및 게이트 전극(716)과 드레인 영역(712)과의 사이의 기판 표면을 ONO막(717)이 덮는다. ONO막(717)은 산화 실리콘막(717A), 질화 실리콘막(717B), 및 산화 실리콘막(717C)의 3층 구조를 갖는다. ONO막(717)의 표면 상에, 산화 실리콘으로 이루어지는 측벽 스페이서(718)가 형성되어 있다.

저농도의 불순물 확산 영역(713)이 형성되어 있지 않은 경우에는 게이트 전극(716)에 임계치 전압 이상의 전압을 인가해도, 게이트 전극(716)과 드레인 영역(712)과의 사이의 기판의 표층부에는 채널이 형성되지 않는다. 도 23의 (B)에 도시한 메모리 셀에서는 이 부분에 저농도의 n형 불순물 확산 영역(713)이 배치되어 있기 때문에, 소스 드레인간에 전류가 흐른다. 또, 소스 영역(711)측에서는 소스 영역(711)으로부터 게이트 전극(716)의 단부까지 공핍층이 연장되기 때문에, 저농도 불순물 확산 영역을 배치할 필요는 없다.

기입 시에는 소스 영역(711)에 정전압을 인가하고, 또한 게이트 전극(716)에 더욱 높은 정전압을 인가하여, 드레인 영역(712)을 부유 상태로 한다. 애벌런치 열 전자 주입에 의해 소스 영역(711)측의 질화 실리콘막(717B) 내에 전자가 트랩된다. 또, 드레인 영역(712)에 0V를 인가하고, CHE 주입을 이용해도 된다.

소거 시에는 소스 영역(711)에 정전압을 인가하고, 게이트 전극(716)에 부전압을 인가한다. 애벌런치 핫 홀 주입에 의해 소스 영역(711)측의 질화 실리콘막(717B)에 정공이 트랩된다. 이에 따라, 전하가 중화된다. 또, 게이트 전압의 절대치를 보다 크게 하여 FN(Fowler-Nordheim) 터널링이 생기게 하고, 질화 실리콘막(717B) 내에 트랩되어 있는 전자를 채널 영역(714)에 방전해도 된다.

도 23의 (B)에 도시한 종래예에서는 채널 영역(714)의 중앙부에 질화 실리콘막이 배치되어 있지 않다. 이 때문에, 질화 실리콘막에 트랩되는 전자의 농도 분포가 채널 영역(714)의 중앙을 향해 연장되는 것을 방지할 수 있다. 단, 드레인 영역(712)측에 저농도 불순물 확산 영역(713)이 배치되어 있기 때문에,

드레인 영역(712)측의 집화 실리콘막(717B)에 전자를 주입할 수 없다. 이 때문에, 하나의 메모리 셀로 1 비트의 정보밖에 기억할 수 없다.

도 23의 (C)에, 도 23의 (B)의 메모리 셀을 개량한 메모리 셀의 단면도를 도시한다. 도 23의 (B)에 도시한 메모리 셀에서는 측벽 스페이서(718)가 산화 실리콘으로 형성되어 있었지만, 도 23의 (C)에 도시한 메모리 셀에서는 측벽 스페이서(720)가 폴리실리콘으로 형성되어 있다. 이 때문에, 게이트 전극(716)과 드레인 영역(712)과의 사이의 기판의 표층부가 측벽 스페이서(720)를 통해 게이트 전극에 용량 결합한다. 용량 결합에 의해 게이트 전극(716)과 드레인 영역(712)과의 사이에 채널을 형성할 수 있기 때문에, 도 23의 (B)에 도시한 저농도의 불순물 확산 영역(713)은 배치되어 있지 않다.

도 23의 (C)에 도시한 메모리 셀의 기입 및 소거의 원리는, 도 23의 (B)에 도시한 메모리 셀의 동작 원리와 마찬가지로이다. 드레인 영역(712)과 채널 영역(714) 사이에, 저농도의 불순물 확산 영역이 배치되어 있지 않기 때문에, 도 23의 (A)에 도시한 메모리 셀과 마찬가지로, 하나의 메모리 셀로 2 비트의 정보를 기억할 수 있다.

본 발명이 이루고자하는 기술적 과제

도 23의 (C)에 도시한 메모리 셀에서는 게이트 전극(716)과 측벽 스페이서(720)와의 사이의 캐패시터, 및 측벽 스페이서(720)와 채널 영역(714)과의 사이의 캐패시터에 의해, 소스 영역(711)과 게이트 전극(716)과의 사이에 가해지는 전압이 분할된다. 이 때문에, 기입 및 소거 시에, 게이트 전압을 높게 해야 한다. 그런데, 게이트 전압을 지나치게 높게 하면, 게이트 절연막(715)이 절연 파괴를 일으킨다.

또한, 게이트 전극(716)과 측벽 스페이서(720)와의 사이의 정전 용량, 및 측벽 스페이서(720)와 채널 영역(714)과의 사이의 정전 용량이 변동할 경우에는 측벽 스페이서(720)와 채널 영역(714)과의 사이에 발생 하는 전계 강도가 변동하고, 과 기입이나 과소거가 발생된다.

본 발명의 목적은 하나의 메모리 셀로 2 비트의 정보를 기억할 수 있고, 또한 저전압 구동이 가능한 반도체 장치 및 그 제조 방법을 제공하는 것이다.

본 발명의 구성 및 작용

본 발명의 일 관점에 의하면, 반도체 기판과, 상기 반도체 기판 표면의 일부 영역 상에 형성된 게이트 절연막과, 상기 게이트 절연막 상에 형성된 게이트 전극과, 상기 게이트 전극의 측면, 및 상기 게이트 전극의 양측의 상기 반도체 기판의 표면 상에, 상기 측면 및 상기 표면에 합치되도록 형성된 적층막으로서, 적어도 3층 구조를 갖고, 상기 3층의 각각은 절연 재료로 형성되며, 중앙층이 그 양측의 층보다 캐리어를 트랩하기 쉬운 재료로 형성된 상기 적층막과, 상기 적층막을 사이에 두고 상기 게이트 전극의 측면 및 상기 반도체 기판의 표면에 대향하도록 배치된 도전성 재료로 이루어진 측벽 스페이서와, 상기 측벽 스페이서와 상기 게이트 전극을 전기적으로 접속하는 도전성 접속 부재와, 상기 반도체 기판의 표층부 중, 상기 반도체 기판의 표면에 평행한 제1 방향에 대하여, 상기 게이트 전극을 끼고 있는 영역 각각에 형성되고, 상기 적층막의 가장자리로부터 가로 방향으로 임의의 깊이까지 침입하고, 또한 상기 게이트 전극의 가장자리까지는 도달하지 않은 불순물 확산 영역을 갖는 반도체 장치가 제공된다.

불순물 확산 영역을 소스 영역 및 드레인 영역으로 하는 FET가 구성된다. 게이트 전압이 직접 측벽 스페이서에 인가되고, 그 아래의 채널 영역의 캐리어 농도가 제어된다. CBE 주입 등에 의해 적층막에 캐리어를 트랩하면, 임계치가 변동한다. 캐리어 트랩의 유무가 정보의 0과 1에 대응된다. 임계치의 변동을 검출함으로써 정보를 판독할 수 있다. 트랩되어 있는 캐리어와는 반대의 전하를 포함하는 캐리어를 적층막에 주입함으로써, 기억된 정보를 소거할 수 있다.

본 발명의 다른 관점에 의하면, 반도체 기판의 표층부에 형성된 채널 영역 상에 형성된 게이트 절연막과, 상기 채널 영역의 양측의 표층부에 형성된 소스 및 드레인 영역과, 상기 게이트 절연막의 상면을 상기 소스 영역측의 제1 영역, 상기 드레인 영역측의 제2 영역, 및 상기 제1 영역과 상기 제2 영역에 끼여 있는 제3 영역으로 구분했을 때, 상기 제1 영역과 제2 영역을 덮고, 상기 게이트 절연막보다 캐리어를 트랩하기 쉬운 재료로 형성된 캐리어 트랩막과, 상기 캐리어 트랩막 각각의 표면을 덮는 절연 재료로 이루어진 피복막과, 상기 피복막, 및 상기 제3 영역 상의 게이트 절연막의 표면 중, 적어도 상기 소스 영역과 상기 채널 영역과의 경계로부터, 상기 드레인 영역과 상기 채널 영역과의 경계까지를 연속적으로 덮는 게이트 전극을 포함하는 반도체 장치가 제공된다.

캐리어 트랩막에 캐리어를 트랩하면, 임계치가 변동한다. 임계치 변동을 검출함으로써, 캐리어 트랩의 유무를 판정할 수 있다. 채널 영역의 중앙 근방에 일단 캐리어가 트랩되면, 트랩된 캐리어의 방출이 곤란하게 된다. 제3 영역에 캐리어 트랩막이 배치되어 있지 않으므로, 트랩된 캐리어를 용이하게 방전할 수 있다.

본 발명의 다른 관점에 의하면, 반도체 기판의 표층부에, 임의의 간격을 사이에 두고 형성된 소스 영역 및 드레인 영역과, 상기 소스 영역과 상기 드레인 영역의 사이의 표층부에, 상기 소스 영역 및 상기 드레인 영역의 어느 것보다 임의의 간격을 사이에 두고 배치되고, 상기 소스 영역 및 상기 드레인 영역과 동일한 도전형의 불순물이 첨가된 중간 영역과, 상기 소스 영역과 상기 중간 영역 사이의 채널 영역, 및 상기 드레인 영역과 상기 중간 영역 사이의 채널 영역을 덮는 게이트 절연막과, 상기 소스 영역, 상기 드레인 영역, 및 상기 중간 영역을 덮고, 절연 재료로 형성되며, 상기 게이트 절연막보다 두꺼운 제1막과, 상기 게이트 절연막 각각의 위에 형성되고, 상기 게이트 절연막보다 캐리어를 트랩하기 쉬운 재료로 이루어진 캐리어 트랩막과, 상기 캐리어 트랩막 각각의 표면을 덮고, 절연 재료로 형성된 피복막과, 한쪽의 상기 채널 영역으로부터 상기 중간 영역을 경유하여 다른 쪽의 상기 채널 영역까지의 영역 상에 배치된 상기 피복막 및 상기 제1막을 덮는 게이트 전극을 포함하는 반도체 장치가 제공된다.

중간 영역을 경유하여 드레인 전류가 흐른다. 중간 영역은 소스 및 드레인 영역과 동일한 도전형을 갖기 때문에, 중간 영역 상에 캐리어가 트랩되어도, 드레인 전류는 거의 영향을 받지 않는다. 이 때문에, 소

스 영역과 드레인 영역과의 중간 근방의 영역의 절연막에 캐리어가 트랩되어도, 임계치는 거의 변동하지 않는다.

<실시예>

도 1에, 본 발명의 제1 실시예에 의한 반도체 장치의 개략의 평면도를 도시한다. 실리콘 기판의 표면 내에 XY 직교 좌표를 정의한다.

p형 실리콘 기판의 표층부에, 서로 평행하게 배치된 n형의 복수의 불순물 확산 영역(2)이 형성되어 있다. 불순물 확산 영역(2)의 각각은 Y축에 평행한 방향으로 연장한다. 실리콘 기판의 표면 상에, 서로 평행하게 배치된 복수의 게이트 라인(10)이 형성되어 있다. 게이트 라인(10)의 각각은 X축에 평행하다. 게이트 라인(10)과 불순물 확산 영역(2)과의 교차 개소에서, 양자는 서로 전기적으로 절연되어 있다.

서로 이웃하는 한 쌍의 불순물 확산 영역(2)과 게이트 라인(10)과의 교차 개소의 각각에, 전계 효과형 트랜지스터(FET: 20)가 배치되어 있다. Y축에 평행한 방향으로 배열한 두 개의 FET(20)의 채널 영역 사이의 표층부에, 채널 스톱퍼 영역(50)이 배치되어 있다. 채널 스톱퍼 영역(50)은 p형 불순물 확산 영역이고, 그 불순물 농도는 실리콘 기판의 불순물 농도보다 높다. 채널 스톱퍼 영역(50)은 그 양측에 배치되어 있는 두 개의 FET(20)의 채널 영역끼리를 전기적으로 절연한다.

도 2에, 도 1의 일정배선 A2-A2에 있어서의 단면도를 도시한다. p형 실리콘 기판(1)의 표층부에, Y축 방향으로 연장하는 복수의 n형 불순물 확산 영역(2)이 형성되어 있다. 불순물 확산 영역(2)의 표면 상에, 산화 실리콘으로 이루어지는 절연막(3)이 형성되어 있다.

서로 이웃하는 두 개의 불순물 확산 영역(2) 사이의 기판 표면 상에, 산화 실리콘으로 이루어지는 게이트 절연막(4)이 형성되어 있다. 절연막(3)은 게이트 절연막(4)보다 두껍다. 게이트 절연막(4)은 그 양측의 불순물 확산 영역(2)으로부터 임의의 간격을 사이에 두고 배치되어 있다. 게이트 절연막(4) 상에, 비정질 실리콘으로 이루어지는 게이트 전극(5)이 형성되어 있다. 게이트 전극(5)의 측면 상 및 게이트 전극(5)과 불순물 확산 영역(2)과의 사이의 기판의 표면 상에, 적층막(ONO막: 6)이 형성되어 있다. ONO막(6)은 산화 실리콘막(6A), 질화 실리콘막(6B), 및 산화 실리콘막(6C)이 이 순서대로 적층된 3층 구조를 갖는다. ONO막(6)은 게이트 전극(5)의 측면 및 기판 표면에 합치되도록(conformal) 형성되어 있다. 불순물 확산 영역(2)은 ONO막(6)의 가장자리로부터 가로 방향으로 임의의 길이까지 침입해 있으나, 게이트 전극(5)의 가장자리까지는 도달하고 있지 않다. 절연막(3)은 ONO막(6)과 불순물 확산 영역(2)과의 계면을 따라, 불순물 확산 영역(2)의 가장자리보다 얇은 위치까지 침입하고 있다.

ONO막(6)의 표면 상에, 비정질 실리콘으로 이루어지는 측벽 스페이서(7)가 형성되어 있다. 측벽 스페이서(7)는 ONO막(6)을 사이에 두고 게이트 전극(5)의 측면 및 실리콘 기판(1)의 표면에 대향한다.

실리콘 기판(1) 상에, X축 방향으로 연장하는 게이트 라인(10)이 형성되어 있다. 서로 이웃하는 한 쌍의 불순물 확산 영역(2)과 게이트 라인(10)과의 교차 개소에 배치된 FET(20)는 한 쌍의 불순물 확산 영역(2) 중 한쪽을 소스 영역으로 하고, 다른 쪽을 드레인 영역으로 한다. 게이트 라인(10)은 텅스텐 실리콘사이드(WSi) 또는 텅스텐(W)으로 형성되고, 대응하는 FET(20)의 게이트 전극(5)과 측벽 스페이서(7)를 전기적으로 접속한다. 또한, 게이트 라인(10)은 X축 방향으로 일렬로 배열한 복수의 FET(20)의 게이트 전극(5)끼리 전기적으로 접속한다. 게이트 라인(10)과 불순물 확산 영역(2)과의 교차 개소에서, 양자는 절연막(3)에 의해 서로 절연된다.

도 3에, 도 1 및 도 2에 도시한 반도체 장치의 부분 파단 사시도를 도시한다. 실리콘 기판(1)의 표면 상에 절연 산화막(25)이 형성되고, 활성 영역이 획정되어 있다. 불순물 확산 영역(2) 및 FET(20)는 이 활성 영역 내에 배치된다. 서로 이웃하는 게이트 라인(10) 사이의 영역에서는 게이트 전극(5) 및 측벽 스페이서(7)가 제거되어 있다. ONO막(6)은 게이트 라인(10) 사이의 영역에도 남겨져 있다.

게이트 라인(10)의 단부는 필드 산화막(25)의 위까지 연장하고 있다. 게이트 라인(10)의 각각의 단부는 게이트 라인(10)을 덮는 중간 절연막에 설치된 비아홀 내의 플러그(26)를 통해 상층의 배선(27)에 접속되어 있다. 불순물 확산 영역(2)의 각각은 중간 절연막에 설치된 비아홀 내의 플러그(28)를 통해 상층의 배선(29)에 접속되어 있다.

도 4에, 상기 제1 실시예에 의한 반도체 장치의 등가 회로도를 도시한다. 워드 라인(10: i), 비트 라인(2: j), 및 FET(20: i, j)가 각각 도 1~도 3에 도시한 게이트 라인(10), 불순물 확산 영역(2), 및 FET(20)에 대응한다. 비트 라인(2: j)이 연장하는 방향과 평행하게, 복수의 메인 라인(h)이 설치되어 있다.

i행 j열째 FET(20: i, j)의 게이트 전극이 워드 라인(10: i)에 접속되고, 소스 영역이 비트 라인(2: j)에 접속되고, 드레인 영역이 비트 라인(2: j+1)에 접속되어 있다. 비트 라인(2: j)은 FET(42: b, h)를 통해 메인 라인(41: h)에 접속되고, 비트 라인(2: j+1)은 FET(42: c, h+1)를 통해 메인 라인(41: h+1)에 접속되어 있다. 비트 라인(2: j+2)은 FET(42: a, h)를 통해 메인 라인(41: h)에 접속되고, 비트 라인(2: j+3)은 FET(42: d, h+1)를 통해 메인 라인(41: h+1)에 접속되어 있다.

FET(42: a, h), FET(42: b, h), FET(42: c, h+1), 및 FET(42: d, h+1)의 게이트 전극은 각각 셀렉트 게이트선(40a, 40b, 40c, 40d)에 접속되어 있다. 셀렉트 게이트선(40a, 40b) 중 하나, 셀렉트 게이트선(40c, 40d) 중 하나, 및 1개의 워드 라인(10: i)을 선택함으로써, 행렬 형상으로 배치된 복수의 FET(20: i, j)로부터 하나의 FET를 선택할 수 있다.

예를 들면, 셀렉트 게이트선(40a, 40c), 및 워드선(10: i)을 선택하면, FET(20: i, j)가 선택된다. 이 때, 메인 라인(41: h)에 인가된 전압이 FET(42: a, h)를 통해 FET(20: i, j)의 소스 영역에 인가된다. 또한, 메인 라인(41: h+1)에 인가된 전압이 FET(42: c, h+1)를 통해 FET(20: i, j)의 드레인 영역에 인가된다. 또, 여기서는 FET(20: i, j)의 소스 및 드레인 영역 중, 번호가 작은 비트 라인(2: j)에 접속되어 있는 쪽을 소스 영역이라 부르고, 번호가 큰 비트 라인(2: j+1)에 접속되어 있는 쪽을 드레인 영역이라 부르게 한다.

다음으로, 도 5~도 8을 참조하여, 제1 실시예에 의한 반도체 장치의 제조 방법에 대하여 설명한다.

도 5의 (A)에 도시한 n형 실리콘 기판(1)의 표면 상에, LOCOS 법에 의해 도 3에 도시한 필드 산화막(25)을 형성한다. 열 산화의 온도는 900~1100°C이고, 필드 산화막(25)의 두께는 200~500nm이다. 또, 도 5~도 8의 각 도면에는 필드 산화막(25)은 나타나 있지 않다.

온도 800~1100°C에서 실리콘 기판(1)의 표면을 산화함으로써, 활성 영역 상에 두께 5~10nm의 게이트 절연막(4)을 형성한다. 또, 이 공정에서 형성되는 게이트 절연막(4)은 메모리 셀 이외의 주변의 트랜지스터의 게이트 절연막을 겸한다.

게이트 절연막(4)의 표면 상에, 두께 50~100nm의 비정질 실리콘막을 형성하고, 이 비정질 실리콘막을 패터닝함으로써, 게이트 전극(5)을 남긴다. 게이트 전극(5)에는 인(P)이 도핑되어, n형 도전성이 부여되어 있다. 이 상태에서는 게이트 전극(5)은 도 3에 도시한 복수의 게이트 라인(10) 사이의 영역에도 남겨져 있으며, Y축 방향으로 연장하고 있다.

비정질 실리콘막의 성장은 화학 기상 성장(CVD)에 의해 행해지고, 성장 중에 인(P)이 도핑된다. 도핑되는 인의 농도는 $2 \times 10^{17} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 이다. 비정질 실리콘막의 예칭은 HCl과 O₂와의 혼합 가스를 이용한 반응성 이온 예칭(RIE)에 의해 행할 수 있다. 예칭 시에, 주변의 트랜지스터 영역은 레지스트 패턴으로 덮이고, 비정질 실리콘막이 남겨진다.

도 5의 (B)에 도시한 바와 같이 불산 처리를 행하여, 게이트 전극(5)으로 덮여 있지 않은 영역의 게이트 절연막(4)을 제거한다. 서로 이웃하는 한 쌍의 게이트 전극(5) 사이에, 실리콘 기판(1)의 표면이 노출한다.

도 6의 (C)에 도시한 바와 같이 기판 전면 상에, 산화 실리콘막(6A), 질화 실리콘막(6B), 및 산화 실리콘막(6C)을 순서대로 형성한다. 이 3층이 ONO막(6)을 구성한다. 산화 실리콘막(6A)은 기판 온도 800~1100°C에서 기판 표면을 열 산화함으로써 형성된다. 산화 실리콘막(6A)의 두께는 5~10nm이다.

질화 실리콘막(6B)은 성장 온도 600~800°C로 한 CVD에 의해 형성할 수 있다. 산화 실리콘막(6C)은 이 질화 실리콘막의 표층부를 온도 1000~1100°C에서 웨트 산화함으로써 형성된다. 성장 직후의 질화 실리콘막의 두께는 12~16nm이고, 이 질화 실리콘막을 산화함으로써 형성되는 산화 실리콘막(6C)의 두께는 5~10nm이다. 또, CVD에서 성장시키는 질화 실리콘막을 얇게 하고, 그 위에 CVD에 의해 산화 실리콘막(6C)을 성장시켜도 좋다.

도 6의 (D)의 상태에 이르기까지의 공정을 설명한다. 기판 전면을 덮도록, 두께 50~100nm의 비도핑의 폴리실리콘막을 CVD에 의해 성장시킨다. 이 폴리실리콘막을 미방성 예칭하고, ONO막(6)의 표면 중 게이트 전극(5)의 측면을 따른 영역 상에 측벽 스페이서(7)를 남긴다. 폴리실리콘막의 예칭은 HCl과 O₂와의 혼합 가스를 이용한 RIE에 의해 행할 수 있다.

도 7의 (E)에 도시한 바와 같이 산화 실리콘막(6C) 및 질화 실리콘막(6B)의 노출한 부분을 예칭한다. 게이트 전극(5)의 상면 및 실리콘 기판(1)의 표면 상에, 산화 실리콘막(6A)이 노출한다. 산화 실리콘막(6C)과 질화 실리콘막(6B)과의 예칭은 CF₄와 CHF₃과 O₂와의 혼합 가스를 이용한 RIE에 의해 행할 수 있다. 이 조건에서는 질화 실리콘막의 예칭 레이트가 산화 실리콘막의 예칭 레이트에 비하여 충분히 빠르기 때문에, 최하층의 산화 실리콘막(6A)을 재현성있게 남길 수 있다. 측벽 스페이서(7)의 두께에 의해, 게이트 전극(5)의 양편의 기판 표면을 덮는 ONO막(6)의 폭이 결정된다.

도 7의 (F)에 도시한 바와 같이 게이트 전극(5) 및 측벽 스페이서(7)를 마스크로 하여, 실리콘 기판(1)의 표층부에 비소(As) 이온을 주입한다. 이 이온 주입은 가속 에너지 50~90keV, 도우즈량 $2 \times 10^{15} \sim 5 \times 10^{15} \text{ cm}^{-2}$ 의 조건에서 행해진다. 이에 따라, 불순물 확산 영역(2)이 형성된다. 이 때, 측벽 스페이서(7)의 꼭대기부 근방 및 게이트 전극(5)의 표층부에도 As가 주입된다. 주변의 트랜지스터 영역은 게이트 전극(5)과 동시에 성장된 폴리실리콘막으로 덮여 있기 때문에, 이 영역에는 As가 주입되지 않는다.

도 8의 (G)에 도시한 바와 같이 온도 800~1000°C에서 실리콘 기판(1)의 표면을 국소적으로 웨트 산화한다. 불순물 확산 영역(2)의 표면 상에, 산화 실리콘으로 이루어지는 두께 40~60nm의 절연막(3)이 형성된다. 또, 측벽 스페이서(7)의 표면에도 산화 실리콘막(7a)이 형성된다. 또한, 게이트 전극(5)의 상면에 남아 있던 산화 실리콘막(6A)이 보다 두꺼워진다. As가 주입된 영역의 산화 속도는 As가 주입되어 있지 않은 영역의 산화 속도의 4~8배이다.

웨트 산화 시에, 불순물 확산 영역(2) 내의 As 원자가 가로 방향으로 확산하여, 불순물 확산 영역(2)이 질화 실리콘막(6B)의 아래에 잠입한다. 또한, 절연막(3)의 가장자리에는 질화 실리콘막(6B)의 아래에 잠입한 버즈가 형성된다. 단, 버즈 밖의 선단은 불순물 확산 영역(2)의 선단까지는 도달하지 않는다.

도 8의 (H)에 도시한 바와 같이 불산을 이용하여, 게이트 전극(5)의 상면 및 측벽 스페이서(7)의 표면에 형성된 산화 실리콘막을 제거한다.

도 2에 도시한 상태까지의 공정을 설명한다. 기판의 전면을 덮도록, WSi 또는 W로 이루어지는 두께 100~150nm의 도전막을 CVD에 의해 형성한다. 이 도전막의 표면 상에, 도 1에 도시한 게이트 라인(10)에 대응하는 레지스트 패턴을 형성한다. 이 레지스트 패턴에 덮여 있지 않은 영역의 도전막, 게이트 전극(5), 측벽 스페이서(7)를 예칭한다. 이 예칭은 HCl과 O₂와의 혼합 가스를 이용한 RIE에 의해 행할 수 있다. 이 예칭에 의해 주변의 트랜지스터의 게이트 전극도 동시에 패턴된다. 예칭 후, 레지스트 패턴을 제거한다.

도 3에 도시한 바와 같이 서로 이웃하는 2개의 게이트 라인(10) 사이의 영역에, 게이트 절연막(4) 및 절연막(3)이 노출한다. 게이트 라인(10)을 마스크로 하여, 노출한 게이트 전극(5) 하의 표층부에, 붕소(B) 이온을 주입한다. 이 이온 주입은 가속 에너지 50~80keV, 도우즈량 $3 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2}$ 의 조건에서 행

해진다. Y축 방향으로 배열한 두 개의 FET(20)의 채널 영역 사이에, 붕소가 주입된 채널 스토퍼 영역(50)이 형성된다.

도 20에 도시한 제1 실시예에 의한 반도체 장치의 동작 원리는 도 23의 (A)에 도시한 종래의 반도체 장치의 동작 원리와 마찬가지로이다. 이하, 도 23의 (A)~(C)에 도시한 종래의 반도체 장치와 비교하면서, 제1 실시예에 의한 반도체 장치가 갖는 효과에 대하여 설명한다.

도 23의 (A)에 도시한 종래예에서는 CHE 주입되는 전자의 분포가 대역간 터널링에 의해 주입되는 정공의 분포에 비하여, 채널 영역(703)의 중앙측에 집중되어 있었다. 또한, 2차 충돌 전리 열 전자 주입의 발생에 의해 채널 영역(703)의 중앙 근방의 질화 실리콘막(706B) 내에 전자가 트랩되는 경우가 있었다.

이에 대하여, 도 20에 도시한 제1 실시예에서는 채널 영역의 중앙 근방에는 질화 실리콘막(68)이 배치되어 있지 않고, 채널 영역과 드레인 영역(2)과의 경계의 근방에만 질화 실리콘막(68)이 배치되어 있다. 이 때문에, CHE 주입되는 전자의 분포가 대역간 터널링에 의해 주입되는 정공의 분포와, 거의 중첩된다. 이 때문에, 소거 시에, 질화 실리콘막(68)에 트랩되어 있는 전자에 의한 전하를 정공의 주입에 의해 용이하게 중화할 수 있다. 또한, 2차 충돌 전리 열 전자가 발생했다고 해도, 채널 영역의 중앙 근방에 전자가 트랩되지 않는다.

기입/소거 동작을 반복해도, 질화 실리콘막(68) 중에 전자가 축적되지 않기 때문에, 기입 및 소거 동작의 임계치의 상승을 방지할 수 있다.

도 23의 (B)에 도시한 반도체 장치에서는 드레인측이 LDD 구조로 되어 있기 때문에, 하나의 메모리 셀로 1 비트의 정보밖에 기억할 수 없었다. 이에 대하여, 도 20에 도시한 제1 실시예에서는 FET(20)의 좌측과 우측의 쌍방의 ONO막(6)의 질화 실리콘막(68) 중에, 서로 독립적으로 전자를 축적함으로써, 2 비트의 정보를 기억할 수 있다.

도 23의 (C)에 도시한 반도체 장치에서는 게이트 전극(716)과 측벽 스페이서(720)로 이루어지는 캐패시터, 및 측벽 스페이서(720)와 채널 영역(714)으로 이루어지는 캐패시터가 직렬로 접속된 회로를 통해 게이트 전압이 ONO막(717) 아래의 채널 영역에 인가된다. 이 때문에, 기입 및 소거 시에, 비교적 높은 게이트 전압이 필요하였다.

이에 대하여, 도 20에 도시한 제1 실시예에서는 게이트 전극(5)이 게이트 라인(10)을 통해 측벽 스페이서(7)에 접속되어 있다. 이 때문에, 게이트 전압이 측벽 스페이서(7)에 직접 인가된다. 따라서, 기입 및 소거를 위한 게이트 전압을 낮출 수 있다.

다음으로, 도 9~도 14를 참조하여, 본 발명의 제2 실시예에 대하여 설명한다. 제2 실시예에 의한 반도체 장치의 기판면 내의 배치는 도 10에 도시한 제1 실시예에 의한 반도체 장치의 배치와 마찬가지로이다. 도 9~도 12는 도 1의 일정확대 A2-A2에 있어서의 단면도에 대응하고, 도 13 및 도 14는 도 1의 일정확대 A13-A13에 있어서의 단면도에 대응한다. 이하, 제2 실시예에 의한 반도체 장치의 제조 방법에 대하여 설명한다.

도 9의 (A)의 상태에 이르기까지의 공정을 설명한다. p형 실리콘 기판(101)의 표면에 형성된 두께 100~300nm의 소자 분리 절연막에 의해 활성 영역이 획정되어 있다. 이 소자 분리 절연막은, 예를 들면 STI(Shallow Trench Isolation) 구조를 갖는다.

기판 표면을 온도 800~1100℃에서 열 산화함으로써, 활성 영역 상에 두께 5~10nm의 산화 실리콘막을 형성한다. 이 산화 실리콘막 상에, CVD에 의해 두께 50~100nm의 비정질 실리콘막을 형성한다. 이 비정질 실리콘막에는 성장 중에, 농도가 $2 \times 10^{17} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 이 되도록 인이 도핑된다. 비정질 실리콘막 상에, 두께 80~120nm의 질화 실리콘막을 CVD에 의해 성장시킨다.

산화 실리콘막, 비정질 실리콘막, 및 질화 실리콘막을 패터닝하고, 산화 실리콘으로 이루어지는 게이트 절연막(104), 비정질 실리콘으로 이루어지는 게이트 전극(105), 및 질화 실리콘으로 이루어지는 게이트 상부막(106)이 이 순서대로 적층된 복수의 적층 구조를 남긴다. 이 적층 구조의 각각은 도 1의 Y축 방향으로 연장한다. 질화 실리콘막의 에칭은 CF_4 와 CHF_3 과 O_2 와의 혼합 가스를 이용한 RIE로 행해진다. 비정질 실리콘막의 에칭은 HCl 과 O_2 와의 혼합 가스를 이용한 RIE로 행해진다. 산화 실리콘막의 패터닝은 레지스트 패턴을 박리한 후, 게이트 전극(105)을 마스크로 하고, 불산을 이용하여 웨트 에칭함으로써 행해진다. 또, 메모리 셀 이외의 주변의 트랜지스터 영역은 비정질 실리콘막 및 질화 실리콘막으로 덮여 있다.

도 9의 (B)에 도시한 바와 같이 기판 전면 상에 ONO막(110)을 형성한다. 최하층의 산화 실리콘막(110A)은 온도 800~1100℃에서 열 산화함으로써 형성된다. 질화 실리콘으로 이루어지는 게이트 상부막(106)의 표면은 거의 산화되지 않기 때문에, 산화 실리콘막(110A)은 주로 게이트 전극(105) 및 실리콘 기판(101)이 노출한 표면 상에 형성된다.

중앙의 질화 실리콘막(110B)은 성장 온도 600~800℃의 조건에서 CVD에 의해 형성된다. 최상층의 산화 실리콘막(110C)은 이 질화 실리콘막의 표층부를 온도 1000~1100℃에서 웨트 산화함으로써 형성된다. 웨트 산화 전의 질화 실리콘막의 두께는 12~16nm이고, 산화 실리콘막(110C)의 두께는 5~10nm이다.

도 10의 (C)에 도시한 바와 같이 ONO막(110)의 표면 상에, CVD에 의해 두께 50~100nm의 비도핑의 폴리실리콘막(111)을 형성한다.

도 10의 (D)에 도시한 상태에 이르기까지의 공정을 설명한다. 폴리실리콘막(111)을 이방성 에칭하고, ONO막(110)의 표면 중 게이트 전극(105) 및 게이트 상부막(106)의 측면에 대응하는 영역 상에, 측벽 스페이서(111a)를 남긴다. CF_4 와 CHF_3 과 O_2 와의 혼합 가스를 이용한 RIE에 의해, 상층의 산화 실리콘막(110C)과 중앙의 질화 실리콘막(110B)을 제거한다. 게이트 전극(105) 및 게이트 상부막(106)의 측면 상에는 3층 구조의 ONO막(110)이 남는다.

도 11의 (E)에 도시한 바와 같이 게이트 전극(105), 게이트 상부막(106), 측벽 스페이서(111a), 및 ONO막(110)을 마스크로 하여, 실리콘 기판(101)의 표층부에, As 이온을 주입한다. 이 이온 주입은 가속 에너지 50~90keV, 도우즈량 $2 \times 10^{16} \sim 5 \times 10^{16} \text{ cm}^{-2}$ 의 조건에서 행해진다. 이 이온 주입에 의해, n형의 불순물 확산 영역(112)이 형성된다. 이 불순물 확산 영역(112)은 도 1에 도시한 불순물 확산 영역(2)에 대응한다. 주변 트랜지스터 영역은 비정질 실리콘막 및 질화 실리콘막으로 덮여 있기 때문에, 이 영역의 기판 표층부에는 As 이온이 주입되지 않는다.

도 11의 (F)에 도시한 상태에 이르기까지의 공정을 설명한다. TEOS(Tetraethylorthosilicate)를 이용한 CVD에 의해 기판 전면 상에 두께 500~1000nm의 절연막을 형성한다. 이 절연막을 게이트 상부막(106)의 상면이 노출할 때까지 화학 기계 연마한다. 이 때, 게이트 상부막(106)이 연마 정지층으로서 기능한다.

도 12의 (G)에 도시한 바와 같이 게이트 상부막(106) 및 ONO막(110)의 일부를 에칭하고, 게이트 전극(105)의 상면, 및 측벽 스페이서(111a) 중 게이트 전극(105)의 상면보다 위에 돌출한 부분의 내측의 측면을 노출시킨다. 질화 실리콘으로 이루어지는 게이트 상부막(106) 및 질화 실리콘막(1108)의 에칭은 열 인산을 이용한 웨트 처리에 의해 행해진다. 측벽 스페이서(111a)의 측면 상의 산화 실리콘막(110C)은 불산을 이용한 웨트 처리에 의해 제거된다.

도 12의 (H)에 도시한 바와 같이 WSi 또는 W 로 이루어지는 두께 100~150nm의 도전막을 CVD에 의해 형성한다. 레지스트 패턴(117)을 이용하여, 이 도전막을 패턴닝함으로써, 게이트 라인(116)을 남긴다. 게이트 라인(116)은 도 1에 도시한 게이트 라인(10)에 대응한다. 게이트 라인(116)은 게이트 전극(105)의 상면과 측벽 스페이서(111a)의 돌출부의 내측의 측면에 접촉하고, 게이트 전극(105)과 측벽 스페이서(111a)를 전기적으로 접속한다. 중간 절연막(115)이 게이트 라인(116)을 불순물 확산 영역(112)으로부터 절연한다. 또, 주변 트랜지스터 영역에서는 비정질 실리콘막과, WSi 또는 W 로 이루어지는 도전막과의 2층 구조의 게이트 전극이 형성된다.

도 13의 (I)는 게이트 라인(116)이 남겨져 있지 않은 부분의 단면도(도 1의 일정해선 A13-A13에 있어서의 단면도에 대응)를 도시한다. 또, 게이트 라인(116) 상에는 레지스트 패턴(117)이 남겨져 있다.

도 13의 (J)에 도시한 바와 같이 중간 절연막(115)을 그 상면으로부터 임의의 깊이까지 에칭한다. 남겨진 중간 절연막(115a)의 두께는 30~50nm이다. 이 중간 절연막(115a)은 주변 트랜지스터의 소스 및 드레인 영역의 표면 상에 금속 살리사이드막을 형성할 때, 불순물 확산 영역(112)의 표면 상에 금속 살리사이드막이 형성되지 않도록 하기 위한 보호막으로서 기능한다.

도 14의 (K)에 도시한 바와 같이 HCl과 O_2 와의 혼합 가스를 이용한 RIE에 의해, 게이트 전극(105) 및 측벽 스페이서(111a)를 에칭한다. 이 때, 도 12의 (H)에 도시한 레지스트 패턴(117)이 게이트 라인(116)을 보호하고 있다. 게이트 전극(105) 및 측벽 스페이서(111a)를 에칭한 후, 레지스트 패턴(117)을 박리한다.

도 14의 (L)에 도시한 바와 같이 불소 이온을 주입하여, 실리콘 기판(101)의 표층부에 p형 채널 스톱퍼 영역(118)을 형성한다. 이 이온 주입은 가속 에너지 50~80keV, 도우즈량 $3 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-2}$ 의 조건에서 행해진다. 도 12의 (H)에 도시한 게이트 라인(116) 아래의 기판 표층부에는 불소는 주입되지 않는다.

불순물 확산 영역(112)의 As의 도우즈량은 $2 \times 10^{16} \sim 5 \times 10^{16} \text{ cm}^{-2}$ 이고, 불소의 도우즈량의 약 100배이다. 이 때문에, 불순물 확산 영역(112)은 불소의 이온 주입의 영향을 거의 받지 않는다.

제2 실시예의 경우도, 제1 실시예의 경우와 마찬가지로, 도 12의 (H)에 도시한 바와 같이 메모리 셀을 구성하는 각 FET의 채널 영역의 중앙부에 질화 실리콘막이 배치되어 있지 않다. 이 때문에, 제1 실시예의 경우와 마찬가지로의 효과가 얻어진다. 또한, 제2 실시예의 경우에는 ONO막(110)의 아래에 버즈 박이 잠입하지 않는다. 이 때문에, 기입 및 소거 특성의 향상이 기대된다.

다음으로, 도 15~도 17를 참조하여, 본 발명의 제3 실시예에 대하여 설명한다. 제3 실시예에 의한 반도체 장치의 기판면 내의 배치는 도 1에 도시한 제1 실시예에 의한 반도체 장치의 배치와 마찬가지로이다. 도 15 및 도 16의 각 도면은 도 1의 일정해선 A2-A2에 있어서의 단면 내의 하나의 FET의 단면에 대응하고, 도 17은 일정해선 A13-A13에 있어서의 단면 내의 하나의 채널 스톱퍼 영역의 단면에 대응한다. 이하, 제3 실시예에 의한 반도체 장치의 제조 방법에 대하여 설명한다.

도 15의 (A)에 도시한 상태에 이르기까지의 공정을 설명한다. p형 실리콘 기판(201)의 표면 상에, 필드 산화막을 형성하여 활성 영역을 획정한다. 활성 영역의 표면 상에, ONO막을 형성한다. ONO막의 형성 방법은 제1 실시예에 있어서의 도 6의 (C)에 도시한 ONO막(6)의 형성 방법과 마찬가지로이다.

ONO막의 표면 상에, 지면에 수직인 방향(도 1의 Y축 방향에 대응)으로 연장하는 복수의 레지스트 패턴(210)을 형성한다. 도 1의 서로 이웃하는 2개의 불순물 확산 영역(2) 사이에, 한 쌍의 레지스트 패턴(210)이 배치된다. 한 쌍의 레지스트 패턴(210)의 간격은 포토리소그래피 공정에 있어서의 가능한 최소의 폭으로 설정된다. 레지스트 패턴(210)을 마스크로 하여, ONO막의 최상층의 산화 실리콘막과 중앙의 질화 실리콘막을 에칭한다. 레지스트 패턴(210) 아래에, 산화 실리콘막(202A), 질화 실리콘막(202B), 및 산화 실리콘막(202C)이 적층된 ONO막(202)이 남는다. 레지스트 패턴(210)이 배치되어 있지 않은 영역의 실리콘 기판(201)의 표면 상에는 산화 실리콘막(202A)만이 남는다.

실리콘 기판(201)의 표면에 대하여 기울어진 방향으로 As를 이온 주입한다. 이 때, 두 개의 레지스트 패턴(210) 사이의 기판 표면이 한쪽의 레지스트 패턴(210)의 음영이 되어, 이 영역에 As가 주입되지 않도록 하기 위해 이온 빔을 기울인다. 이온 빔에 노출된 기판 표층부에, As가 주입된 불순물 확산 영역(203)이 형성된다.

도 15의 (B)에 도시한 바와 같이 이온 빔의 축을 도 15의 (A)의 공정에서 행한 이온 주입의 이온 빔축과는 반대축으로 기울여서, 재차 As 이온을 주입한다. 이 2회의 이온 주입의 각각은 가속 에너지

50~90keV, 도우즈량 $1 \times 10^{16} \sim 2.5 \times 10^{16} \text{ cm}^{-2}$ 의 조건에서 행해진다. 한 쌍의 레지스트 패턴(210)의 외측의 기판 표면층의 각각에, As가 주입된 불순물 확산 영역(203)이 형성된다. 불순물 확산 영역(203)의 각각의 가장자리는 레지스트 패턴(210)의 가장자리와 일치하거나, 또는 레지스트 패턴(210)의 가장자리로부터 내측까지 침입한다.

도 15의 (C)에 도시한 바와 같이 레지스트 패턴(210)을 마스크로 하여, 산화 실리콘막(202A)의 노출한 부분을 에칭한다. 에칭 후, 레지스트 패턴(210)을 박리한다. 그 후, 메모리 셀부를 레지스트 패턴으로 덮고, 주변 트랜지스터 영역의 ONO막(202)을 제거한다. ONO막의 제거 후, 레지스트 패턴을 박리한다.

도 16의 (D)에 도시한 상태까지의 공정을 설명한다. 실리콘 기판(201)의 노출한 표층부를 온도 800~1100°C에서 열 산화한다. 이에 따라, ONO막(202) 사이의 영역에, 두께 5~10nm의 게이트 절연막(204)이 형성된다. As가 주입된 영역의 산화 속도는 As가 주입되어 있지 않은 영역의 산화 속도의 6~8배 정도이다. 이 때문에, 불순물 확산 영역(203)의 표층부에는 산화 실리콘으로 이루어지는 두께 40~60nm의 절연막(205)이 형성된다. 절연막(205)의 단부에는 ONO막(202) 아래에 잠입한 버즈가 형성된다. 게이트 절연막(204)은 얇기 때문에, 이 단부에는 버즈 박이 형성되지 않는다. 또, 이 열 산화에 의해 질화 실리콘막(202B)의 표면도 얇게 산화된다.

도 16의 (E)에 도시한 상태까지의 공정을 설명한다. 기판의 전면 상에, CVD에 의해 두께 100~150nm의 비정질 실리콘막을 형성하고, 그 위에 CVD에 의해 두께 100~150nm의 WSi막을 형성한다. 비정질 실리콘막에는 성장 중에, 농도가 $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ 이 되도록, 인이 도핑된다.

비정질 실리콘막과 WSi막과의 2층을 패턴닝하고, 게이트 라인(206)을 남긴다. 게이트 라인(206)은 도 1에 도시한 게이트 라인(10)에 대응한다. 이 2층의 에칭은 HCl과 O₂의 혼합 가스를 이용한 RIE에 의해 행해진다. 게이트 라인(206)은 FET의 게이트 전극을 겸하며, 한 쌍의 불순물 확산 영역(203)이 각각 소스 영역 및 드레인 영역이 되고, 산화 실리콘막(202A)이 게이트 절연막이 된다.

이 FET에서는 게이트 절연막의 상면을 소스 영역측의 제1 영역, 드레인 영역측의 제2 영역, 및 제1 영역과 제2 영역에 끼여 있는 제3 영역으로 구분했을 때, 질화 실리콘막(202B)이 제1 영역 위와 제3 영역 위에 배치된다. 이 질화 실리콘막(202B)이 산화 실리콘막(202C)으로 피복되어 있으며, 전자를 트랩한다.

도 17의 (F)는 서로 이웃하는 2개의 게이트 라인(206) 사이의 단면(도 1의 일정색선 A13-A13에 있어서의 단면에 대응)을 나타낸다. 게이트 라인(206)을 남길 때의 레지스트 패턴을 마스크로 하여, 불소 이온을 주입함으로써, 채널 스톱퍼 영역(207)을 형성한다.

제3 실시예에 있어서도, 제1 실시예의 경우와 마찬가지로, 도 16의 (E)에 도시한 바와 같이 각 FET의 채널 영역의 중앙부에 질화 실리콘막이 배치되어 있지 않다. 이 때문에, 제1 실시예에 의한 반도체 장치와 마찬가지로의 효과가 기대된다.

다음으로, 도 18~도 19를 참조하여, 본 발명의 제4 실시예에 의한 반도체 장치에 대하여 설명한다. 제4 실시예에 의한 반도체 장치의 기판면 내의 배치는 도 1에 도시한 제1 실시예에 의한 반도체 장치의 배치와 마찬가지로이다. 도 19의 각 도면은 도 1의 일정색선 A2-A2에 있어서의 단면 내의 하나의 FET의 부분에 대응하고, 도 20은 일정색선 A13-A13에 있어서의 단면 내의 하나의 채널 스톱퍼 영역의 부분에 대응한다.

도 18의 (A)에 도시한 상태에 이르기까지의 공정을 설명한다. 도 15의 (A)를 참조하여 설명한 공정과 마찬가지로의 공정을 거쳐, p형 실리콘 기판(301)의 표면 상에 ONO막(305), 레지스트 패턴(330)이 형성된다. 단, 도 15의 (A)에서는 레지스트 패턴(210)이 도 1의 Y축 방향으로 연장하였지만, 도 18의 (A)에 있어서는 레지스트 패턴(330)은 도 1의 Y축 방향으로 연장함과 함께, 채널 스톱퍼 영역(50)에 대응하는 영역도 덮는다. ONO막의 상층의 산화 실리콘막(305C) 및 중앙의 질화 실리콘막(305B)은 레지스트 패턴(330) 아래에만 남겨져 있으며, 하층의 산화 실리콘막(305A)은 실리콘 기판(301)의 전체 표면을 덮는다.

레지스트 패턴(330)을 마스크로 하여, 실리콘 기판(301)의 표층부에 As 이온을 주입한다. 이 이온 주입은 가속 에너지 50~90keV, 도우즈량 $2 \times 10^{16} \sim 5 \times 10^{16} \text{ cm}^{-2}$ 의 조건에서 행해진다. 한 쌍의 레지스트 패턴(330)의 외측의 표층부에 불순물 확산 영역(302)이 형성되고, 한 쌍의 레지스트 패턴(330)에 끼여 있는 표층부에 중간 영역(303)이 형성된다. 불순물 확산 영역(302)은 도 1의 Y축 방향으로 연장하지만, 중간 영역(303)은 FET의 각각에 대응하여 이산적으로 분포한다. 이온 주입 후, 레지스트 패턴(330)을 박리한다.

도 18의 (B)에 도시한 상태에 이르기까지의 공정을 설명한다. 메모리 셀 영역을 레지스트 패턴으로 덮고, 주변 트랜지스터 영역의 ONO막(305)을 제거한다. 그 후, 메모리 셀 영역을 덮고 있던 레지스트 패턴을 박리한다.

온도 800~1100°C에서 기판 표면을 열 산화한다. As가 주입되어 있지 않은 주변 트랜지스터 영역에, 두께 5~10nm의 게이트 절연막이 형성된다. As가 주입되어 있는 메모리 셀 영역에서는 산화 속도가 빠르기 때문에, ONO막(305)으로 덮여 있지 않은 영역에, 두께 40~60nm의 절연막(306)이 형성된다. 이 때, 주입된 As 원자가 확산하고, 불순물 확산 영역(302) 및 중간 영역(303)이 가로 방향으로 넓어진다. 절연막(306)의 단부에 버즈 박이 형성되지만, 그 선단은 불순물 확산 영역(302)이나 중간 영역(303)의 가장자리보다 앞은 위치까지 밖에 도달하지 않는다. 또, 이 열 산화에 의해 질화 실리콘막(305B)의 측면도 얇게 산화된다.

도 18의 (C)에 도시한 바와 같이 기판 상에 게이트 라인(310)을 형성한다. 게이트 라인(310)은 도 1에 도시한 게이트 라인(10)에 대응하며, 도 16의 (E)에 도시한 게이트 라인(206)의 형성 방법과 마찬가지로의 방법으로 형성된다.

도 19의 (D)는 서로 이웃하는 2개의 게이트 라인(310) 사이의 단면(도 1의 일정색선 A13-A13에 있어서의 단면에 대응)을 나타낸다. 게이트 라인(310)을 패턴닝할 때의 레지스트 패턴을 마스크로 하여, 불소 이온을

이온 주입함으로써, 채널 스톱퍼 영역(307)을 형성한다.

제4 실시예의 경우에는 도 18의 (C)에 도시한 좌측의 불순물 확산 영역(302)이 소스 영역이 되고, 우측의 불순물 확산 영역이 드레인 영역이 된다. 다음으로, 도 18의 (C) 및 도 20을 참조하여, 상기 제4 실시예에 의한 반도체 장치의 동작 원리에 대하여 설명한다.

채널 주입에 의해, ONO막(305)의 질화 실리콘막(305B) 내에 전자를 트랩함으로써, 기입이 행해진다. 대역 간 터널링에 의해 질화 실리콘막(305B) 안에 정공을 주입함으로써, 소거가 행해진다. 소스 영역측의 ONO막과 드레인 영역측의 ONO막에, 독립적으로 전자를 트랩시킴에 따라, 하나의 메모리 셀로 2 비트의 정보를 기억할 수 있다.

도 20의 (A)는 하나의 메모리 셀의 단면도를 나타낸다. 소스 영역(302S), 드레인 영역(302D), 중간 영역(303), 소스 영역(302S)과 중간 영역(303)과의 사이의 ONO막(305S), 드레인 영역(302D)과 중간 영역(305D)과의 사이의 ONO막(305D), 및 게이트 라인(310)을 포함하여 메모리 셀이 구성된다.

도 20의 (B)는 도 20의 (A)에 도시한 메모리 셀의, 소스 전압을 0V, 드레인 전압을 2V로 한 경우의 전류 특성의 시뮬레이션 결과를 나타낸다. 횡축은 게이트 전압을 단위 'V'로 나타내고, 종축은 드레인 전류를 단위 'A'로 나타낸다. 곡선 a는 드레인 영역측의 ONO막(305D)에 전자가 트랩되어 있는 상태, 곡선 b는 소스 영역측의 ONO막(305S)에 전자가 트랩되어 있는 상태, 곡선 c는 어느 ONO막에도 전자가 트랩되어 있지 않은 상태에서의 전류를 나타낸다.

예를 들면, 0과 1의 판정 전류를 1×10^{-6} A로 한 경우, 곡선 a의 상태와 곡선 b의 상태를 충분한 마진을 갖고 식별할 수 있다. 즉, 드레인 영역측의 ONO막(305D)에 전자가 트랩되어 있는지의 여부에 상관없이 소스 영역측의 ONO막(305S)에 전자가 트랩되어 있는지의 여부를 식별할 수 있다. 소스 전압과 드레인 전압을 반대로 하면, 드레인 영역측의 ONO막에 전자가 트랩되어 있는지의 여부를 식별할 수 있다.

제4 실시예의 경우에는 도 18의 (C)에 도시한 바와 같이 채널 영역의 중앙부에 n형의 중간 영역(303)이 배치되어 있다. 질화 실리콘막(305B) 중, 중간 영역(303)과 오버랩하는 부분에 트랩된 전자는 FET의 임계치에 거의 영향을 주지 않는다. 이 때문에, 기입/소거의 반복에 따라, 질화 실리콘막(305B)에 트랩된 전자가 채널 영역의 중앙 부근에 분포했다고 해도, FET의 임계치의 변동이 억제된다.

또한, 도 30에 도시한 바와 같이 불순물 확산 영역(302)은 상층 배선에 접속되지만, 중간 영역(303)은 고립되어 있다. 중간 영역(303)에 대응하는 비아홀 등을 설치할 필요가 없기 때문에, 중간 영역(303)은 포토리소그래피 공정에 있어서의 가능한 폭의 한계까지 작게 할 수 있다. 이 때문에, 도 23의 (A)에 도시한 FET를 두 개 배열하는 경우에 비하여, 도 18의 (C)에 도시한 FET를 작게 할 수 있다.

다음으로, 도 21 및 도 22를 참조하여, 본 발명의 제5 실시예에 대하여 설명한다. 제5 실시예에 의한 반도체 장치의 기판 내의 배치는 도 10에 도시한 제1 실시예에 의한 반도체 장치의 배치와 마찬가지로이다. 도 21의 각 도면은 도 1의 일정배선 A2-A20에 있어서의 단면 내의 하나의 FET의 부분에 대응하고, 도 22는 일정배선 A13-A130에 있어서의 단면 내의 하나의 채널 스톱퍼 영역의 부분에 대응한다. 이하, 제5 실시예에 의한 반도체 장치의 제조 방법 및 그 구조에 대하여 설명한다.

도 21에 도시한 바와 같이 p형 실리콘 기판(401)의 표면의 활성 영역 상에, 온도 800~1100°C에서 열 산화함으로써, 두께 5~10nm의 스루 산화막(405)을 형성한다. 스루 산화막(405)의 표면 상에, 레지스트 패턴(410)을 형성한다. 레지스트 패턴(410)은 도 18의 (A)에 도시한 제4 실시예에 있어서의 레지스트 패턴(330)과 마찬가지로의 평면 형상을 갖는다.

레지스트 패턴(410)을 마스크로 하여, 실리콘 기판(401)의 표층부에, As 이온을 주입한다. 이 이온 주입은 가속 에너지 50~90keV, 도우즈량 $2 \times 10^{16} \sim 5 \times 10^{16} \text{ cm}^{-2}$ 의 조건에서 행한다. 한 쌍의 레지스트 패턴(410)의 외측에, n형의 불순물 확산 영역(402)이 형성되고, 한 쌍의 레지스트 패턴(410)에 끼여 있는 영역에, n형의 중간 영역(403)이 형성된다.

도 21의 (B)에 도시한 바와 같이 레지스트 패턴(410)을 박리하고, 또한 불산 처리에 의해 스루 산화막(405)을 제거한다. 이에 따라, 활성 영역에 실리콘 기판(401)의 표면이 노출한다.

도 21의 (C)의 상태에 이르기까지의 공정을 설명한다. 온도 800~1100°C에서, 실리콘 기판 표면을 열 산화한다. As가 주입되어 있지 않은 영역에 두께 5~10nm의 게이트 절연막(406)이 형성된다. As가 주입되어 있는 불순물 확산 영역(402) 및 중간 영역(403)의 표면에는 두께 40~60nm의 절연막(407)이 형성된다. As가 주입되어 있는 영역과 주입되어 있지 않은 영역의 경계에는 버즈 빅 형상의 부분이 형성된다. 또, 열 산화 후에 As가 주입되어 있지 않은 영역 상에 형성된 얇은 산화 실리콘막을 제거하고, 재차 열 산화를 행하여, 게이트 절연막(406)을 형성해도 좋다.

도 21의 (D)에 도시한 바와 같이 기판의 전면 상에, 질화 실리콘막(415)과 산화 실리콘막(416)을 형성한다. 이 2층은 도 6의 (C)에 도시한 ONO막(6)을 구성하는 질화 실리콘막(6B)과 산화 실리콘막(6C)의 형성 방법과 마찬가지로의 방법으로 형성된다.

산화 실리콘막(416) 상에, 게이트 라인(420)을 형성한다. 게이트 라인(420)은 도 16의 (E)에 도시한 게이트 라인(206)의 형성 방법과 마찬가지로의 방법으로 형성된다.

도 22의 (E)는 서로 이웃하는 2개의 게이트 라인(420) 사이의 단면(도 1의 일정배선 A13-A130에 있어서의 단면에 대응)을 나타낸다. 게이트 라인(420)을 패턴화할 때의 레지스트 패턴을 마스크로 하여, 불소 이온을 주입함으로써, 채널 스톱퍼 영역(417)을 형성한다.

제5 실시예의 경우도, 제4 실시예의 경우와 마찬가지로, 소스 및 드레인 영역이 되는 한 쌍의 불순물 확산 영역(402) 사이에 중간 영역(403)이 배치되어 있다. 이 중간 영역(403)은 상층 배선에 접속되지 않고, 고립된 패턴이다. 이 때문에, 제5 실시예에 있어서도, 제4 실시예의 경우와 마찬가지로의 효과가 기대된다.

상기 실시예에서는 ONO막 중의 질화 실리콘막에 전자를 트랩함으로써, 정보를 기억하는 경우를 설명했지만, 전자 대신에 정공을 트랩함으로써 정보를 기억할 수도 있다. 또한, ONO막 대신에, 절연 재료로 이루어지는 3층의 적층막을 이용해도 좋다. 이 때, 적층막의 중앙층의 층을 그 양측의 층보다 캐리어를 트랩하기 쉬운 재료로 형성하면 좋다.

이상 설명한 실시예로부터, 이하의 부기에 나타난 발명이 도출된다.

(부기 1) 반도체 장치에 있어서,

반도체 기판;

상기 반도체 기판 표면의 일부 영역 상에 형성된 게이트 절연막;

상기 게이트 절연막 상에 형성된 게이트 전극;

상기 게이트 전극의 측면, 및 상기 게이트 전극의 양측의 상기 반도체 기판의 표면 상에, 상기 측면 및 상기 표면에 합치되도록 형성된 적층막 - 상기 적층막은 적어도 3층 구조를 갖고, 상기 3층의 각각은 절연 재료로 형성되며, 중앙층이 그 양측의 층보다 캐리어를 트랩하기 쉬운 재료로 형성됨 -;

상기 적층막을 사이에 두고 상기 게이트 전극의 측면 및 상기 반도체 기판의 표면에 대향하도록 배치된 도전성 재료로 이루어진 측벽 스페이서;

상기 측벽 스페이서와 상기 게이트 전극을 전기적으로 접속하는 도전성 접속 부재; 및

상기 반도체 기판의 표층부 중, 상기 반도체 기판의 표면에 평행한 제1 방향에 대하여, 상기 게이트 전극을 끼고 있는 영역 각각에 형성되고, 상기 적층막의 가장자리로부터 가로 방향으로도 임의의 깊이까지 침입하며, 또한 상기 게이트 전극의 가장자리까지는 도달하지 않은 불순물 확산 영역

를 포함하는 반도체 장치.

(부기 2) 부기 1에 있어서,

상기 불순물 확산 영역의 표면 상에 형성되고, 상기 적층막과 상기 불순물 확산 영역과의 계면을 따라, 상기 불순물 확산 영역의 가장자리보다 얇은 위치까지 침입하고, 상기 적층막의 기판측의 층보다 두꺼운 제1 절연막

를 더 포함하고,

상기 접속 부재가 상기 제1 절연막 위까지 연장하고 있는 반도체 장치.

(부기 3) 부기 1에 있어서,

상기 측벽 스페이서의 꼭대기부가 상기 게이트 전극의 상면 및 상기 적층막의 꼭대기부보다 높은 위치까지 돌출하고,

상기 불순물 확산 영역의 표면 상에 형성된 제2 절연막으로서, 상기 측벽 스페이서의 외측의 측면에 밀착한 제2 절연막을 구비하며,

상기 접속 부재는 상기 측벽 스페이서의 내측의 측면 중, 상기 적층막의 꼭대기부보다 돌출하고 있는 부분, 및 상기 게이트 전극의 상면에 접촉하는 반도체 장치.

(부기 4) 부기 3에 있어서,

상기 접속 부재는 상기 제2 절연막 위까지 연장하고 있는 반도체 장치.

(부기 5) 반도체 장치에 있어서,

반도체 기판;

상기 반도체 기판의 표층부에 형성되고, 제1 방향으로 연장하며, 서로 평행하게 배치된 제1 도전형의 복수의 불순물 확산 영역;

상기 반도체 기판 상에 배치되고, 상기 제1 방향과 교차하는 제2 방향으로 연장하며, 임의의 간격으로 서로 평행하게 배치되고, 상기 불순물 확산 영역과의 교차 개소에서, 상기 불순물 확산 영역으로부터 절연된 복수의 게이트 라인;

서로 이웃하는 한 쌍의 상기 불순물 확산 영역과, 상기 게이트 라인과 교차 개소 각각에 배치된 FET; 및

상기 제1 방향으로 배열된 2개의 FET의 채널 영역 사이의 기판 표층부에 형성된 제1 도전형과는 반대의 제2 도전형 채널 스톱퍼 영역

를 포함하고,

상기 FET 각각은

대응하는 한 쌍의 상기 불순물 확산 영역에 끼여 있는 상기 채널 영역;

상기 채널 영역 상에 형성되고, 대응하는 한 쌍의 상기 불순물 확산 영역 각각으로부터 임의의 간격을 사이에 두고 배치된 게이트 절연막;

상기 게이트 절연막 상에 형성되고, 대응하는 상기 게이트 라인에 접속된 게이트 전극;

대응하는 한 쌍의 상기 불순물 확산 영역 각각과 상기 게이트 전극 사이의 상기 반도체 기판의 표면, 및 상기 게이트 전극의 측면을 컨포멀(conformal)하게 덮고, 적어도 3층을 포함하며, 그 중앙층이 양측의 층

보다 캐리어를 트랩하기 쉬운 재료로 형성된 적층막; 및

상기 적층막을 사이에 두고 상기 게이트 전극의 측면 및 상기 채널 영역에 대향하도록 배치되고, 도전성 재료로 형성되며, 대응하는 상기 게이트 라인에 접속된 측벽 스페이서

를 포함하는 반도체 장치.

(부기 6) 부기 5에 있어서,

상기 불순물 확산 영역 각각은 대응하는 상기 적층막의 아래까지 침입하며,

상기 불순물 확산 영역과 상기 게이트 라인의 교차 개소에서 양자 간에 배치된 제1 절연막 - 상기 제1 절연막은, 상기 적층막과 상기 불순물 확산 영역의 계면을 따라, 상기 불순물 확산 영역의 가장자리보다 앞은 위치까지 침입하고, 상기 적층막의, 기판측의 층보다 두꺼움 -

를 포함하는 반도체 장치.

(부기 7) 부기 5에 있어서,

상기 불순물 확산 영역과 상기 게이트 라인의 교차 개소에서, 양자 간에 배치되고, 상기 측벽 스페이서의 외측의 측면에 밀착한 제2 절연막

를 더 포함하고,

상기 측벽 스페이서 각각은 상기 게이트 전극의 상면 및 상기 적층막의 꼭대기부보다 높은 위치까지 돌출하고, 상기 게이트 라인 각각은 대응하는 상기 측벽 스페이서의 돌출부의 내측의 측면, 및 대응하는 상기 게이트 전극의 상면에 접촉하는 반도체 장치.

(부기 8) 반도체 장치의 제조 방법에 있어서,

반도체 기판 표면의 일부 영역 상에, 게이트 절연막과 게이트 전극의 2층을 형성하는 공정;

상기 반도체 기판, 상기 게이트 절연막, 및 상기 게이트 전극이 노출된 표면 상에, 상기 표면에 합치되도록 적층막을 형성하는 공정으로서, 상기 적층막이 적어도 3층 구조를 갖고, 상기 3층의 각각은 절연 재료로 형성되며, 중앙층은 그 양측의 층보다 캐리어를 트랩하기 쉬운 재료로 형성되도록 형성하는 공정;

상기 적층막의 표면 중, 상기 게이트 전극의 측면을 따른 영역 상에, 도전성 측벽 스페이서를 형성하는 공정;

상기 적층막 중, 상기 측벽 스페이서로 덮여 있지 않은 영역에서, 상기 적층막 중 적어도 중앙층까지를 에칭하는 공정;

상기 게이트 전극 및 상기 측벽 스페이서를 마스크로 하여, 상기 반도체 기판의 표층부에 제1 불순물을 주입하는 공정;

상기 반도체 기판의 표면 중, 상기 게이트 전극 및 상기 측벽 스페이서로 덮여 있지 않은 영역을 국소적으로 산화하여, 제1 절연막을 형성하는 공정;

상기 게이트 전극의 상면 및 상기 측벽 스페이서의 표면에 형성된 절연막을 제거하는 공정; 및

상기 게이트 전극의 상면과 상기 측벽 스페이서의 표면을 전기적으로 접속하는 접속 부재를 형성하는 공정

를 포함하는 반도체 장치의 제조 방법.

(부기 9) 부기 8에 있어서,

상기 게이트 절연막과 게이트 전극의 2층 구조는, 상기 반도체 기판의 표면 상에서 제1 방향으로 연장하고, 서로 평행하게 배치된 복수의 영역 각각의 위에 형성되며,

상기 접속 부재를 형성하는 공정은

상기 반도체 기판의 최외측 표면을 도전막으로 덮는 공정; 및

상기 도전막을 패터닝함으로써, 상기 제1 방향과 교차하는 제2 방향으로 연장하고, 서로 평행하게 배치된 복수의 게이트 라인을 남기는 공정

를 포함하고,

상기 게이트 라인을 남긴 후, 또한 상기 게이트 라인을 마스크로 하여, 상기 게이트 전극을 에칭하는 공정; 및

상기 게이트 전극의 에칭된 부분 아래의 상기 반도체 기판의 표층부에, 상기 제1 불순물과는 반대인 도전형의 제2 불순물을 주입하는 공정

를 포함하는 반도체 장치의 제조 방법.

(부기 10) 반도체 장치의 제조 방법에 있어서,

반도체 기판 표면의 일부 영역 상에, 게이트 절연막과 게이트 전극과 게이트 상부막의 3층을 형성하는 공정;

적어도 상기 반도체 기판과 게이트 절연막과 게이트 전극이 노출된 표면을 덮는 하층, 상기 하층과 상기 게이트 상부막의 표면을 덮는 중층, 및 상기 중층을 덮는 상층으로 이루어진 적층막으로서, 상기 적층막이 상기 하층, 상기 중층, 및 상기 상층 각각은 절연 재료로 형성되며, 상기 중층은 상기 하층 및 상기

상층보다 캐리어를 트랩하기 쉬운 재료로 형성되도록 형성하는 공정;

상기 적층막의 표면을 덮는 도전성의 제1막을 형성하는 공정;

상기 적층막 및 상기 제1막을 이방성 에칭하고, 상기 게이트 전극 및 상기 게이트 상부막의 측면 상에, 상기 제1막의 일부로 이루어진 측벽 스페이서 및 상기 적층막의 일부를 남김과 함께, 상기 반도체 기판의 표면 중 상기 게이트 전극의 배치되어 있지 않은 영역에서는 적어도 상기 제1막과, 상기 적층막의 상층 및 중층을 제거하는 공정;

상기 게이트 전극, 상기 게이트 상부막, 및 상기 측벽 스페이서를 마스크로 하여, 상기 반도체 기판의 표층부에 제1 불순물을 주입하는 공정;

상기 반도체 기판의 전면 상에 절연 재료로 이루어진 제2막을 퇴적하는 공정;

상기 제2막을 상기 게이트 상부막이 노출할 때까지 연마하는 공정;

상기 게이트 상부막, 및 상기 게이트 상부막의 측면 상에 남아 있던 상기 적층막을 제거하는 공정; 및

상기 게이트 전극의 상면과 상기 측벽 스페이서가 노출된 표면을 전기적으로 접속하는 접속 부재를 형성하는 공정

을 포함하는 반도체 장치의 제조 방법.

(부기 11) 부기 10에 있어서,

상기 게이트 절연막과 게이트 전극과 게이트 상부막의 3층 구조는 상기 반도체 기판의 표면 상에서 제1 방향으로 연장하고, 서로 평행하게 배치된 복수의 영역 각각의 위에 형성되며,

상기 접속 부재를 형성하는 공정은

상기 반도체 기판의 최외측 표면을 도전성의 제3막으로 덮는 공정; 및

상기 제3막을 패터닝함으로써, 상기 제1 방향과 교차하는 제2 방향으로 연장하고, 서로 평행하게 배치된 복수의 게이트 라인을 남기는 공정

을 포함하고,

상기 게이트 라인을 남긴 후, 상기 게이트 라인을 마스크로 하여, 상기 게이트 전극, 및 상기 제2막 중 적어도 상층 부분, 및 상기 측벽 스페이서를 에칭하는 공정; 및

상기 게이트 전극의 에칭된 부분 아래의 상기 반도체 기판의 표층부에, 상기 제1 불순물과는 반대인 도전성의 제2 불순물을 주입하는 공정

을 포함하는 반도체 장치의 제조 방법.

(부기 12) 반도체 장치에 있어서,

반도체 기판의 표층부에 형성된 채널 영역 상에 형성된 게이트 절연막;

상기 채널 영역의 양측의 표층부에 형성된 소스 및 드레인 영역;

상기 게이트 절연막의 상면을 상기 소스 영역측의 제1 영역, 상기 드레인 영역측의 제2 영역, 및 상기 제1 영역과 상기 제2 영역에 끼여 있는 제3 영역으로 구분했을 때, 상기 제1 영역과 상기 제2 영역을 덮고, 상기 게이트 절연막보다 캐리어를 트랩하기 쉬운 재료로 형성된 캐리어 트랩막;

상기 캐리어 트랩막 각각의 표면을 덮는 절연 재료로 이루어진 피복막; 및

상기 피복막, 및 상기 제3 영역 상의 게이트 절연막의 표면 중, 적어도 상기 소스 영역과 상기 채널 영역의 경계로부터, 상기 드레인 영역과 상기 채널 영역의 경계까지를 연속적으로 덮는 게이트 전극

을 포함하는 반도체 장치.

(부기 13) 반도체 장치에 있어서,

반도체 기판;

상기 반도체 기판의 표층부에 형성되고, 제1 방향으로 연장하며, 서로 평행하게 배치된 제1 도전형의 복수의 불순물 확산 영역;

상기 반도체 기판 상에 배치되고, 상기 제1 방향과 교차하는 제2 방향으로 연장하며, 임의의 간격으로 서로 평행하게 배치되고, 상기 불순물 확산 영역과의 교차 개소에서, 상기 불순물 확산 영역으로부터 절연된 복수의 게이트 라인;

서로 이웃하는 한 쌍의 상기 불순물 확산 영역과, 상기 게이트 라인과의 교차 개소 각각에 배치된 FET; 및

상기 제1 방향으로 배열된 2개의 FET의 채널 영역 사이의 기판 표층부에 형성되고, 상기 제1 도전형과는 반대의 제2 도전형을 갖는 채널 스톱퍼 영역

을 포함하고,

상기 FET 각각은

대응하는 한 쌍의 상기 불순물 확산 영역에 끼여 있는 상기 채널 영역;

상기 채널 영역 상에 형성된 게이트 절연막;

상기 게이트 절연막의 상면을, 대응하는 한 쌍의 상기 불순물 확산 영역의 한쪽 측의 제1 영역, 다른 쪽 측의 제2 영역, 및 상기 제1 영역과 상기 제2 영역에 끼여 있는 제3 영역으로 구분했을 때, 상기 제1 영역과 상기 제2 영역을 덮고, 상기 게이트 절연막보다 캐리어를 트랩하기 쉬운 재료로 형성된 캐리어 트랩막; 및

상기 캐리어 트랩막 각각의 표면을 덮는 절연 재료로 이루어진 피복막을 구비하며,

상기 게이트 라인은, 대응하는 상기 FET의 게이트 절연막의 상기 제3 영역 및 상기 피복막을 덮고, 상기 FET의 게이트 전극을 겸하는 반도체 장치.

(부기 14) 반도체 장치의 제조 방법에 있어서,

반도체 기판의 표면 상에, 게이트 절연막, 상기 게이트 절연막보다 캐리어를 트랩하기 쉬운 재료로 형성된 캐리어 트랩막, 및 상부 절연막을 순서대로 형성하는 공정;

상기 반도체 기판의 표면 상에 임의의 간격을 사이에 두고 서로 평행하게 배치된 한 쌍의 가늘고 긴 제1 채널 영역의 상에 상기 상부 절연막의 표면을 레지스트 패턴으로 덮는 공정;

상기 레지스트 패턴을 마스크로 하여, 상기 상부 절연막 및 상기 캐리어 트랩막을 에칭하는 공정;

상기 반도체 기판의 표층부에 불순물을 이온 주입하는 공정으로서, 상기 한 쌍의 레지스트 패턴의 사이의 영역이 레지스트 패턴의 음영이 되어, 상기 음영 부분에 불순물이 주입되지 않고, 상기 한 쌍의 레지스트 패턴의 외측 영역 각각에서는 이온 주입된 영역의 가장자리가 상기 레지스트 패턴의 가장자리와 일치하거나 또는 상기 레지스트 패턴의 가장자리로부터 내측까지 침입하는 조건으로 이온 주입하는 공정;

상기 레지스트 패턴을 제거하는 공정;

상기 반도체 기판의 표층부 중 상기 이온 주입 공정에서 이온 주입된 영역의 표면 상에, 절연 재료로 이루어지는 제1막을 형성하는 공정; 및

상기 한 쌍의 제1 채널 영역 상의 캐리어 트랩막을 덮는 상부 절연막 상 및 상기 한 쌍의 제1 채널 영역 사이의 상기 게이트 절연막 상에, 게이트 전극을 형성하는 공정

를 포함하는 반도체 장치의 제조 방법.

(부기 15) 반도체 장치에 있어서,

반도체 기판의 표층부에, 임의의 간격을 사이에 두고 형성된 소스 영역 및 드레인 영역;

상기 소스 영역과 드레인 영역과의 사이의 표층부에, 상기 소스 영역 및 드레인 영역의 어느 것과도 임의의 간격을 사이에 두고 배치되고, 상기 소스 영역 및 드레인 영역과 동일 도전형의 불순물이 첨가된 중간 영역;

상기 소스 영역과 상기 중간 영역과의 사이의 채널 영역, 및 상기 드레인 영역과 중간 영역과의 사이의 채널 영역을 덮는 게이트 절연막;

상기 소스 영역, 드레인 영역, 및 중간 영역을 덮고, 절연 재료로 형성되며, 상기 게이트 절연막보다 두꺼운 제1막;

상기 게이트 절연막의 각각의 위에 형성되고, 상기 게이트 절연막보다 캐리어를 트랩하기 쉬운 재료로 이루어지는 캐리어 트랩막;

상기 캐리어 트랩막의 각각의 표면을 덮고, 절연 재료로 형성된 피복막; 및

한쪽의 상기 채널 영역으로부터 중간 영역을 경유하여 다른 쪽의 상기 채널 영역까지의 영역 상에 배치된 상기 피복막 및 상기 제1막을 덮는 게이트 전극

를 포함하는 반도체 장치.

(부기 16) 부기 15에 있어서,

한쪽의 상기 게이트 절연막 상의 캐리어 트랩막과, 다른 쪽의 상기 게이트 절연막 상의 캐리어 트랩막이 상기 중간 영역 상의 제1막 위를 경유하여 서로 연속하는 반도체 장치.

(부기 17) 반도체 장치에 있어서,

반도체 기판;

상기 반도체 기판의 표층부에 형성되고, 제1 방향으로 연장하며, 서로 평행하게 배치된 제1 도전형의 복수의 불순물 확산 영역;

상기 반도체 기판 상에 배치되고, 상기 제1 방향과 교차하는 제2 방향으로 연장하고, 임의의 간격으로 서로 평행하게 배치되며, 상기 불순물 확산 영역과의 교차 개소에서, 상기 불순물 확산 영역으로부터 절연된 복수의 게이트 라인; 및

서로 이웃하는 한 쌍의 상기 불순물 확산 영역과, 상기 게이트 라인과 교차 개소 각각에 배치된 FET를 포함하고,

상기 FET의 각각은

대응하는 한 쌍의 상기 불순물 확산 영역 사이의 상기 기판 표층부에, 양자 중 어느 것과도 임의의 간격을 사이에 두고 배치되고, 상기 불순물 확산 영역과 동일한 도전형의 중간 영역;

대응하는 한 쌍의 상기 불순물 확산 영역 각각과, 상기 중간 영역 사이의 채널 영역을 덮는 게이트 절연막;

상기 한 쌍의 불순물 확산 영역 및 상기 중간 영역을 덮고, 절연 재료로 형성되며, 상기 게이트 절연막보다 두꺼운 제1막;

상기 게이트 절연막 각각의 위에 형성되고, 상기 게이트 절연막보다 캐리어를 트랩하기 쉬운 재료로 이루어지는 캐리어 트랩막; 및

상기 캐리어 트랩막 각각의 표면을 덮고, 절연 재료로 형성된 피복막,
을 구비하며,

상기 FET 각각에 대응하는 상기 게이트 라인은 상기 피복막 및 상기 제1막 상에 배치되고, 해당 FET의 게이트 전극을 겸하며,

상기 제1 방향으로 배열된 2개의 상기 FET의 채널 영역 사이의 기판 표층부에 형성된 상기 제1 도전형과는 반대의 제2 도전형 채널 스톱퍼 영역

을 더 포함하는 반도체 장치.

(부기 18) 부기 17에 있어서,

상기 FET 각각에 있어서, 한쪽의 상기 게이트 절연막 상의 캐리어 트랩막과, 다른 쪽의 상기 게이트 절연막 상의 캐리어 트랩막이 상기 중간 영역 상의 상기 제1막 위를 경유하여 서로 연속하는 반도체 장치.

(부기 19) 반도체 장치의 제조 방법에 있어서,

반도체 기판의 표면 상에, 게이트 절연막, 상기 게이트 절연막보다 캐리어를 트랩하기 쉬운 재료로 형성된 캐리어 트랩막, 및 상부 절연막을 순서대로 형성하는 공정;

상기 상부 절연막 상에, 임의의 간격을 사이에 두고 서로 평행하게 배치된 한 쌍의 가늘고 긴 영역을 레지스트 패턴으로 덮는 공정;

상기 레지스트 패턴을 마스크로 하여, 상기 상부 절연막 및 상기 캐리어 트랩막을 에칭하는 공정;

상기 레지스트 패턴을 마스크로 하여, 상기 반도체 기판의 표층부에 불순물을 이온 주입하는 공정;

상기 레지스트 패턴을 제거하는 공정;

상기 반도체 기판의 표층부 중 상기 이온 주입 공정에서 이온 주입된 영역의 표면 상에, 절연 재료로 이루어진 제1막을 형성하는 공정; 및

상기 레지스트 패턴이 형성되어 있던 영역에 남아 있는 상기 피복막 및 그 사이의 상기 제1막 상에, 게이트 전극을 형성하는 공정

을 포함하는 반도체 장치의 제조 방법.

(부기 20) 부기 19에 있어서,

상기 반도체 기판은 실리콘 기판이고,

상기 제1막을 형성하는 공정에서, 상기 캐리어 트랩막을 마스크로 하여, 상기 반도체 기판의 표층부를 국소적으로 산화함으로써 상기 제1막을 형성하는 반도체 장치의 제조 방법.

(부기 21) 반도체 장치의 제조 방법에 있어서,

실리콘으로 이루어지는 반도체 기판의 표면 중, 임의의 간격을 사이에 두고 서로 평행하게 배치된 한 쌍의 가늘고 긴 영역을 레지스트 패턴으로 덮는 공정;

상기 레지스트 패턴을 마스크로 하여, 상기 반도체 기판의 표층부에 불순물을 이온 주입하는 공정;

상기 반도체 기판의 표층부를 산화함으로써, 이온 주입된 영역의 표면 상에는 산화 실리콘으로 이루어진 제1막을 형성하고, 이온 주입되어 있지 않은 영역의 표면 상에는 상기 제1막보다 얇은 게이트 절연막을 형성하는 공정;

상기 제1막 및 상기 게이트 절연막 상에, 상기 게이트 절연막보다 캐리어를 트랩하기 쉬운 재료로 형성된 캐리어 트랩막, 및 상부 절연막을 순서대로 형성하는 공정; 및

상기 상부 절연막의 표면 중, 적어도 상기 게이트 절연막 및 그 사이의 제1막의 상방의 영역 상에, 게이트 전극을 형성하는 공정

을 포함하는 반도체 장치의 제조 방법.

이상, 실시예에 따라 본 발명을 설명했지만, 본 발명은 이들에 제한되는 것이 아니다. 예를 들면, 여러 가지의 변경, 개량, 조합 등이 가능한 것은 당업자에게 자명할 것이다.

발명의 효과

이상 설명한 바와 같이 본 발명에 따르면, 캐리어를 트랩하는 층을 포함하는 적층막 상에, 도전성 부재를 배치하고, 이 도전성 부재에 게이트 전압을 직접 인가한다. 이에 따라, 비교적 낮은 게이트 전압으로,

정보의 기입 및 소거를 행할 수 있다. 또, 채널 영역의 중앙부 상에는 캐리어를 트랩하는 층이 배치되어 있지 않거나, 또는 채널 영역의 중앙부에 불순물이 첨가된 중간 영역이 배치되어 있다. 이 때문에, 기입 및 소거 동작을 반복해도, 임계치의 변동이 적다.

(5) 청구의 범위

청구항 1. 반도체 장치에 있어서,

반도체 기판;

상기 반도체 기판 표면의 일부 영역 상에 형성된 게이트 절연막;

상기 게이트 절연막 상에 형성된 게이트 전극;

상기 게이트 전극의 측면, 및 상기 게이트 전극의 양측의 상기 반도체 기판의 표면 상에, 상기 측면 및 표면에 합치되도록 형성된 적층막 - 상기 적층막은 적어도 3층 구조를 갖고, 상기 3층의 각각은 절연 재료로 형성되며, 중앙층이 그 양측의 층보다 캐리어를 트랩하기 쉬운 재료로 형성됨 -;

상기 적층막을 사이에 두고 상기 게이트 전극의 측면 및 상기 반도체 기판의 표면에 대향하도록 배치된 도전성 재료로 이루어진 측벽 스페이서;

상기 측벽 스페이서와 상기 게이트 전극을 전기적으로 접속하는 도전성 접속 부재; 및

상기 반도체 기판의 표층부 중, 상기 반도체 기판의 표면에 평행한 제1 방향에 대하여, 상기 게이트 전극을 끼고 있는 영역 각각에 형성되고, 상기 적층막의 가장자리로부터 가로 방향으로도 임의의 깊이까지 침입하며, 또한 상기 게이트 전극의 가장자리까지는 도달하지 않은 불순물 확산 영역

를 포함하는 반도체 장치.

청구항 2. 반도체 장치에 있어서,

반도체 기판;

상기 반도체 기판의 표층부에 형성되고, 제1 방향으로 연장하며, 서로 평행하게 배치된 제1 도전형의 복수의 불순물 확산 영역;

상기 반도체 기판 상에 배치되고, 상기 제1 방향과 교차하는 제2 방향으로 연장하며, 임의의 간격으로 서로 평행하게 배치되고, 상기 불순물 확산 영역과의 교차 개소에서, 상기 불순물 확산 영역으로부터 절연된 복수의 게이트 라인;

서로 이웃하는 한 쌍의 상기 불순물 확산 영역과, 상기 게이트 라인과 교차 개소 각각에 배치된 FET; 및

상기 제1 방향으로 배열된 2개의 FET의 채널 영역 사이의 기판 표층부에 형성된 제1 도전형과는 반대의 제2 도전형 채널 스톱퍼 영역

를 포함하고,

상기 FET 각각은

대응하는 한 쌍의 불순물 확산 영역에 끼여 있는 상기 채널 영역;

상기 채널 영역 상에 형성되고, 대응하는 한 쌍의 불순물 확산 영역의 각각으로부터 임의의 간격을 사이에 두고 배치된 게이트 절연막;

상기 게이트 절연막 상에 형성되고, 대응하는 게이트 라인에 접속된 게이트 전극;

대응하는 한 쌍의 불순물 확산 영역 각각과 상기 게이트 전극 사이의 상기 반도체 기판의 표면, 및 상기 게이트 전극의 측면을 컨포멀(conformal)하게 덮고, 적어도 3층을 포함하며, 중앙층은 양측의 층보다 캐리어를 트랩하기 쉬운 재료로 형성된 적층막; 및

상기 적층막을 사이에 두고 상기 게이트 전극의 측면 및 상기 채널 영역에 대향하도록 배치되고, 도전성 재료로 형성되며, 대응하는 게이트 라인에 접속된 측벽 스페이서

를 포함하는 반도체 장치.

청구항 3. 반도체 장치의 제조 방법에 있어서,

반도체 기판 표면의 일부 영역 상에, 게이트 절연막과 게이트 전극과의 2층을 형성하는 공정;

상기 반도체 기판, 게이트 절연막, 및 게이트 전극이 노출된 표면 상에, 상기 표면에 합치되도록 적층막을 형성하는 공정으로서, 상기 적층막이 적어도 3층 구조를 갖고, 3층의 각각은 절연 재료로 형성되며, 중앙층은 그 양측의 층보다 캐리어를 트랩하기 쉬운 재료로 형성되도록 상기 적층막을 형성하는 공정;

상기 적층막의 표면 중, 상기 게이트 전극의 측면을 따른 영역 상에, 도전성 측벽 스페이서를 형성하는 공정;

상기 적층막 중, 상기 측벽 스페이서로 덮여 있지 않은 영역에서, 상기 적층막 중 적어도 중앙층까지를 에칭하는 공정;

상기 게이트 전극 및 측벽 스페이서를 마스크로 하여, 상기 반도체 기판의 표층부에 제1 불순물을 주입하는 공정;

상기 반도체 기판의 표면 중, 상기 게이트 전극 및 측벽 스페이서로 덮여 있지 않은 영역을 국소적으로

산화하여, 제1 절연막을 형성하는 공정;

상기 게이트 전극의 상면 및 상기 측벽 스페이스의 표면에 형성된 절연막을 제거하는 공정; 및

상기 게이트 전극의 상면과 상기 측벽 스페이스의 표면을 전기적으로 접속하는 접속 부재를 형성하는 공정

를 포함하는 반도체 장치의 제조 방법.

청구항 4. 반도체 장치의 제조 방법에 있어서,

반도체 기판 표면의 일부 영역 상에, 게이트 절연막과 게이트 전극과 게이트 상부막의 3층을 형성하는 공정;

적어도 상기 반도체 기판과 게이트 절연막과 게이트 전극이 노출된 표면을 덮는 하층, 상기 하층과 상기 게이트 상부막의 표면을 덮는 중층, 및 상기 중층을 덮는 상층으로 이루어진 적층막으로서, 하층, 중층, 및 상층의 각각은 절연 재료로 형성되고, 중층은 하층 및 상층보다 캐리어를 트랩하기 쉬운 재료로 형성되도록 적층막을 형성하는 공정;

상기 적층막의 표면을 덮는 도전성의 제1막을 형성하는 공정;

상기 적층막 및 상기 제1막을 이방성 에칭하고, 상기 게이트 전극 및 게이트 상부막의 측면 상에, 상기 제1막의 일부로 이루어진 측벽 스페이스 및 상기 적층막의 일부를 남김과 함께, 상기 반도체 기판의 표면 중 상기 게이트 전극이 배치되어 있지 않은 영역에서는 적어도 상기 제1막과, 상기 적층막의 상층 및 중층을 제거하는 공정;

상기 게이트 전극, 게이트 상부막, 및 측벽 스페이스를 마스크로 하여, 상기 반도체 기판의 표층부에 제1 불순물을 주입하는 공정;

상기 반도체 기판의 전면 상에 절연 재료로 이루어진 제2막을 퇴적하는 공정;

상기 제2막을 상기 게이트 상부막이 노출될 때까지 연마하는 공정;

상기 게이트 상부막, 및 상기 게이트 상부막의 측면 상에 남아 있던 상기 적층막을 제거하는 공정; 및

상기 게이트 전극의 상면과 상기 측벽 스페이스가 노출된 표면을 전기적으로 접속하는 접속 부재를 형성하는 공정

를 포함하는 반도체 장치의 제조 방법.

청구항 5. 반도체 장치에 있어서,

반도체 기판의 표층부에 형성된 채널 영역 상에 형성된 게이트 절연막;

상기 채널 영역의 양측의 표층부에 형성된 소스 및 드레인 영역;

상기 게이트 절연막의 상면을, 상기 소스 영역측의 제1 영역, 상기 드레인 영역측의 제2 영역, 및 상기 제1 영역과 제2 영역에 끼여 있는 제3 영역으로 구분했을 때, 상기 제1 영역과 제2 영역을 덮고, 상기 게이트 절연막보다 캐리어를 트랩하기 쉬운 재료로 형성된 캐리어 트랩막;

상기 캐리어 트랩막 각각의 표면을 덮는 절연 재료로 이루어진 피복막; 및

상기 피복막, 및 상기 제3 영역 상의 게이트 절연막의 표면 중, 적어도 상기 소스 영역과 채널 영역과의 경계로부터, 상기 드레인 영역과 채널 영역과의 경계까지를 연속적으로 덮는 게이트 전극

를 포함하는 반도체 장치.

청구항 6. 반도체 장치에 있어서,

반도체 기판;

상기 반도체 기판의 표층부에 형성되고, 제1 방향으로 연장하며, 서로 평행하게 배치된 제1 도전형의 복수의 불순물 확산 영역;

상기 반도체 기판 상에 배치되고, 상기 제1 방향과 교차하는 제2 방향으로 연장하며, 임의의 간격으로 서로 평행하게 배치되고, 상기 불순물 확산 영역과의 교차 개소에서, 상기 불순물 확산 영역으로부터 절연된 복수의 게이트 라인; 및

서로 이웃하는 한 쌍의 상기 불순물 확산 영역과, 상기 게이트 라인과 교차 개소 각각에 배치된 FET;

상기 제1 방향으로 배열된 2개의 FET의 채널 영역 사이의 기판 표층부에 형성되고, 상기 제1 도전형과는 반대의 제2 도전형을 갖는 채널 스톱퍼 영역

를 포함하고,

상기 FET 각각은

대응하는 한 쌍의 불순물 확산 영역에 끼여 있는 상기 채널 영역;

상기 채널 영역 상에 형성된 게이트 절연막;

상기 게이트 절연막의 상면을, 대응하는 한 쌍의 불순물 확산 영역의 한쪽 측의 제1 영역, 다른 쪽 측의 제2 영역, 및 상기 제1 영역과 제2 영역에 끼여 있는 제3 영역으로 구분했을 때, 상기 제1 영역과 제2 영역을 덮고, 상기 게이트 절연막보다 캐리어를 트랩하기 쉬운 재료로 형성된 캐리어 트랩막; 및

상기 캐리어 트랩막 각각의 표면을 덮는 절연 재료로 이루어진 피복막을 포함하며,

상기 게이트 라인은, 대응하는 FET의 게이트 절연막의 상기 제3 영역 및 피복막을 덮고, 상기 FET의 게이트 전극을 겸하는 반도체 장치.

청구항 7. 반도체의 제조 방법에 있어서,

반도체 기판의 표면 상에, 게이트 절연막, 상기 게이트 절연막보다 캐리어를 트랩하기 쉬운 재료로 형성된 캐리어 트랩막, 및 상부 절연막을 순서대로 형성하는 공정;

상기 반도체 기판의 표면 상에, 임의의 간격을 사이에 두고 서로 평행하게 배치된 한 쌍의 가늘고 긴 제1 채널 영역 상의, 상기 상부 절연막의 표면을 레지스트 패턴으로 덮는 공정;

상기 레지스트 패턴을 마스크로 하여, 상기 상부 절연막 및 캐리어 트랩막을 에칭하는 공정;

상기 반도체 기판의 표층부에 불순물을 이온 주입하는 공정으로서, 상기 한 쌍의 레지스트 패턴 사이의 영역이 레지스트 패턴의 음영이 되어, 음영 부분에 불순물이 주입되지 않고, 상기 한 쌍의 레지스트 패턴의 외측 영역 각각에 있어서는 이온 주입된 영역의 가장자리가 상기 레지스트 패턴의 가장자리와 일치하거나, 또는 상기 레지스트 패턴의 가장자리로부터 내측까지 침입하는 조건으로 이온 주입하는 공정;

상기 레지스트 패턴을 제거하는 공정;

상기 반도체 기판의 표층부 중 상기 이온 주입 공정에서 이온 주입된 영역의 표면 상에, 절연 재료로 이루어진 제1막을 형성하는 공정; 및

상기 한 쌍의 제1 채널 영역 상의 캐리어 트랩막을 덮는 상부 절연막 상, 및 상기 한 쌍의 제1 채널 영역 사이의 상기 게이트 절연막 상에 게이트 전극을 형성하는 공정

을 포함하는 반도체 장치의 제조 방법.

청구항 8. 반도체 장치에 있어서,

반도체 기판의 표층부에, 임의의 간격을 사이에 두고 형성된 소스 영역 및 드레인 영역;

상기 소스 영역과 드레인 영역 사이의 표층부에, 상기 소스 영역 및 드레인 영역의 어느 것과도 임의의 간격을 사이에 두고 배치되고, 상기 소스 영역 및 드레인 영역과 동일한 도전형의 불순물이 첨가된 중간 영역;

상기 소스 영역과 상기 중간 영역 사이의 채널 영역, 및 상기 드레인 영역과 중간 영역 사이의 채널 영역을 덮는 게이트 절연막;

상기 소스 영역, 드레인 영역, 및 중간 영역을 덮고, 절연 재료로 형성되며, 상기 게이트 절연막보다 두꺼운 제1막;

상기 게이트 절연막 각각의 위에 형성되고, 상기 게이트 절연막보다 캐리어를 트랩하기 쉬운 재료로 이루어진 캐리어 트랩막;

상기 캐리어 트랩막 각각의 표면을 덮고, 절연 재료로 형성된 피복막; 및

한쪽의 상기 채널 영역으로부터 중간 영역을 경유하여 다른 쪽의 채널 영역까지의 영역 상에 배치되어 있는 상기 피복막 및 상기 제1막을 덮는 게이트 전극

을 포함하는 반도체 장치.

청구항 9. 반도체 장치에 있어서,

반도체 기판;

상기 반도체 기판의 표층부에 형성되고, 제1 방향으로 연장하며, 서로 평행하게 배치된 제1 도전형의 복수의 불순물 확산 영역;

상기 반도체 기판 상에 배치되고, 상기 제1 방향과 교차하는 제2 방향으로 연장하며, 임의의 간격으로 서로 평행하게 배치되고, 상기 불순물 확산 영역과의 교차 개소에서, 상기 불순물 확산 영역으로부터 절연된 복수의 게이트 라인; 및

서로 이웃하는 한 쌍의 상기 불순물 확산 영역과, 상기 게이트 라인과 교차 개소 각각에 배치된 FET를 포함하고,

상기 FET 각각은

대응하는 한 쌍의 상기 불순물 확산 영역 사이의 기판 표층부에, 양자 중 어느 것과도 임의의 간격을 사이에 두고 배치되고, 상기 불순물 확산 영역과 동일한 도전형의 중간 영역;

대응하는 한 쌍의 상기 불순물 확산 영역 각각과, 상기 중간 영역 사이의 채널 영역을 덮는 게이트 절연막;

상기 한 쌍의 불순물 확산 영역 및 중간 영역을 덮고, 절연 재료로 형성되며, 상기 게이트 절연막보다 두꺼운 제1막;

상기 게이트 절연막 각각의 위에 형성되고, 상기 게이트 절연막보다 캐리어를 트랩하기 쉬운 재료로 이루어진 캐리어 트랩막;

상기 캐리어 트랩막 각각의 표면을 덮고, 절연 재료로 형성된 피복막을 포함하며,

상기 FET 각각에 대응하는 상기 게이트 라인은 상기 피복막 및 제1막 상에 배치되고, 해당 FET의 게이트 전극을 경하며,

상기 제1 방향으로 배열된 2개의 FET의 채널 영역 사이의 기판 표층부에 형성된 상기 제1 도전형과는 반대인 제2 도전형 채널 스톱퍼 영역

을 더 포함하는 반도체 장치.

청구항 10. 반도체 장치의 제조 방법에 있어서,

반도체 기판의 표면 상에, 게이트 절연막, 상기 게이트 절연막보다 캐리어를 트랩하기 쉬운 재료로 형성된 캐리어 트랩막, 및 상부 절연막을 순서대로 형성하는 공정;

상기 상부 절연막 상에, 임의의 간격을 사이에 두고 서로 평행하게 배치된 한 쌍의 가늘고 긴 영역을 레지스트 패턴으로 덮는 공정;

상기 레지스트 패턴을 마스크로 하여, 상기 상부 절연막 및 캐리어 트랩막을 에칭하는 공정;

상기 레지스트 패턴을 마스크로 하여, 상기 반도체 기판의 표층부에, 불순물을 이온 주입하는 공정;

상기 레지스트 패턴을 제거하는 공정;

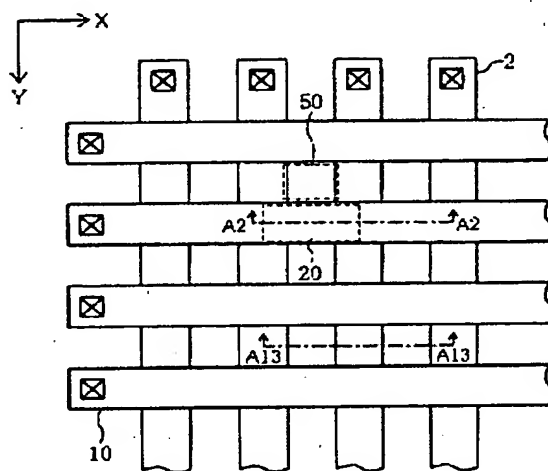
반도체 기판의 표층부 중 상기 이온 주입 공정에서 이온 주입된 영역의 표면 상에, 절연 재료로 이루어진 제1막을 형성하는 공정; 및

상기 레지스트 패턴이 형성되어 있던 영역에 남아 있는 상기 피복막 및 그 사이의 제1막 상에, 게이트 전극을 형성하는 공정

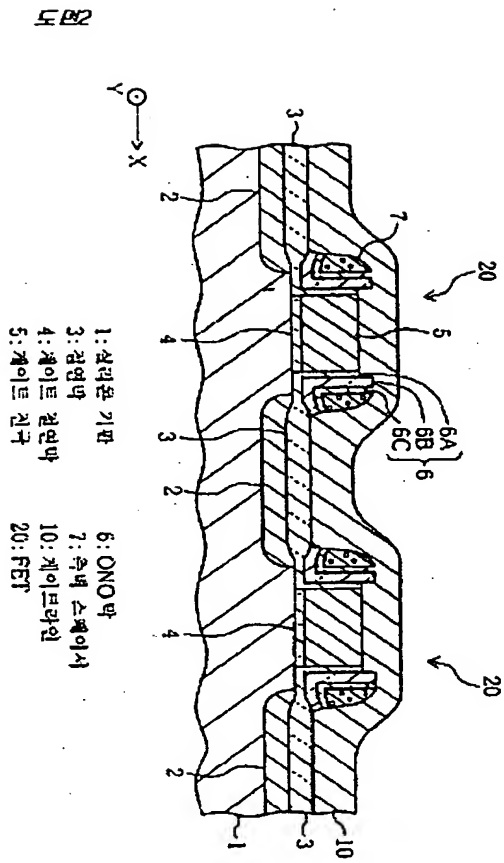
을 포함하는 반도체 장치의 제조 방법.

도면

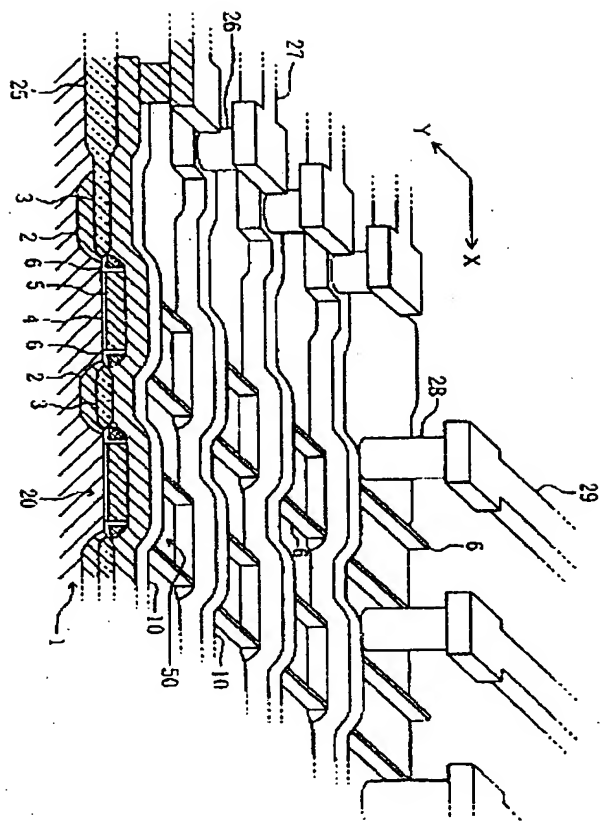
도면1

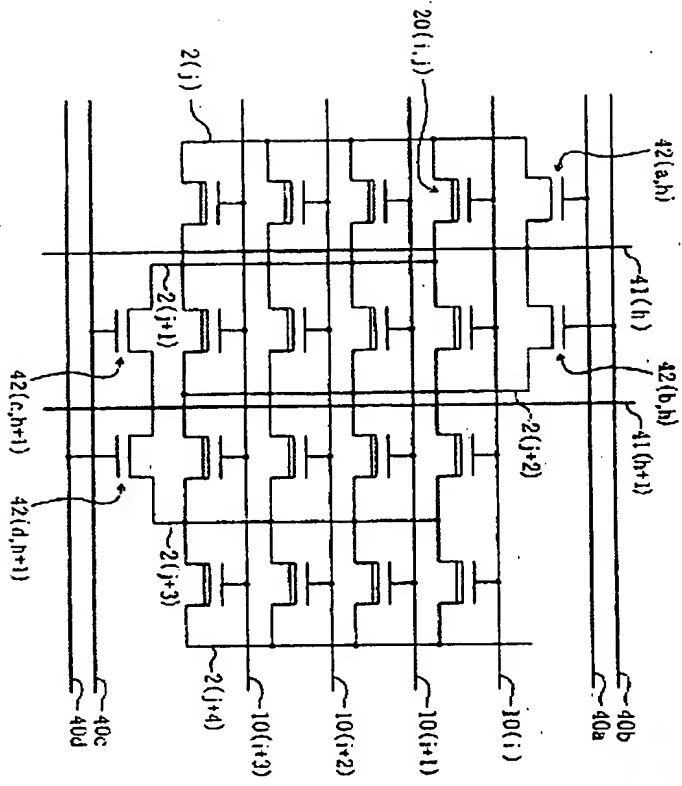


2: 불순물 확산 영역
10: 게이트 라인
20: FET
50: 채널 스톱퍼 영역



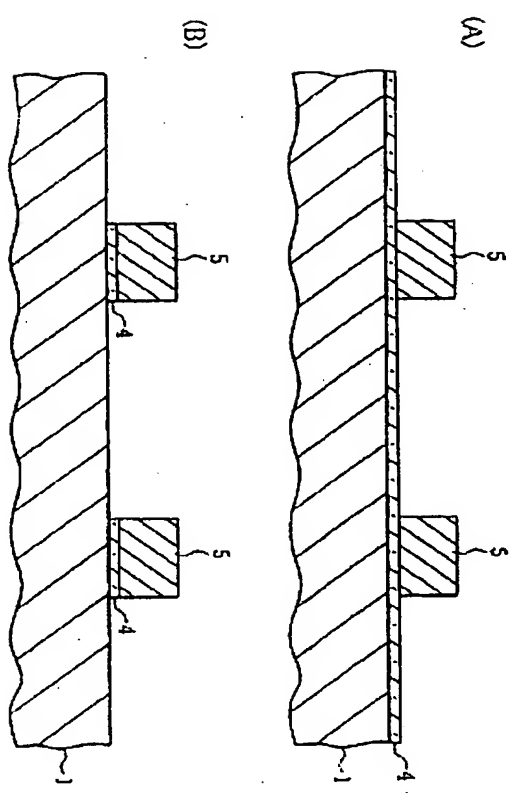
도 3



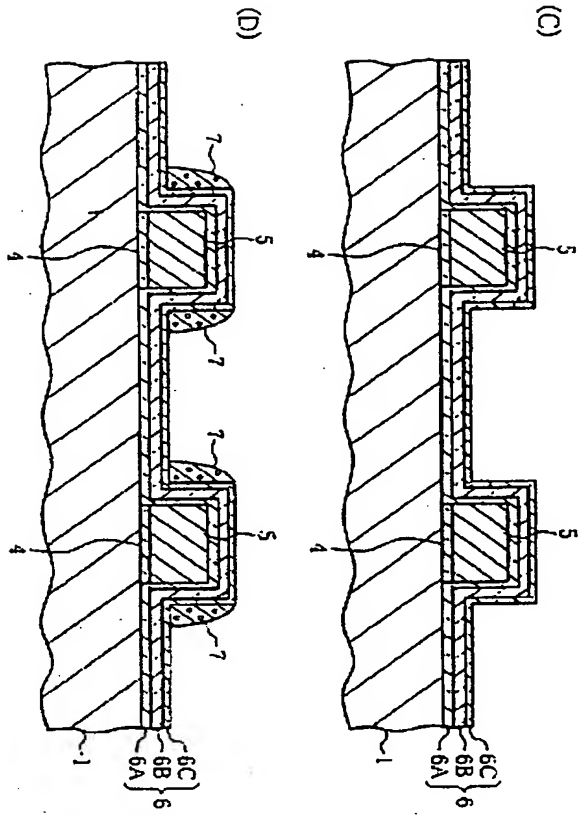


도 5

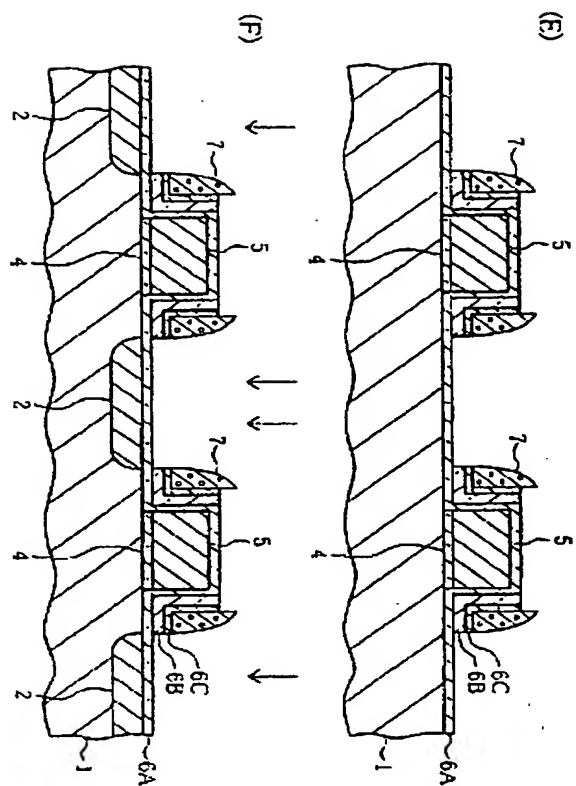
도 25



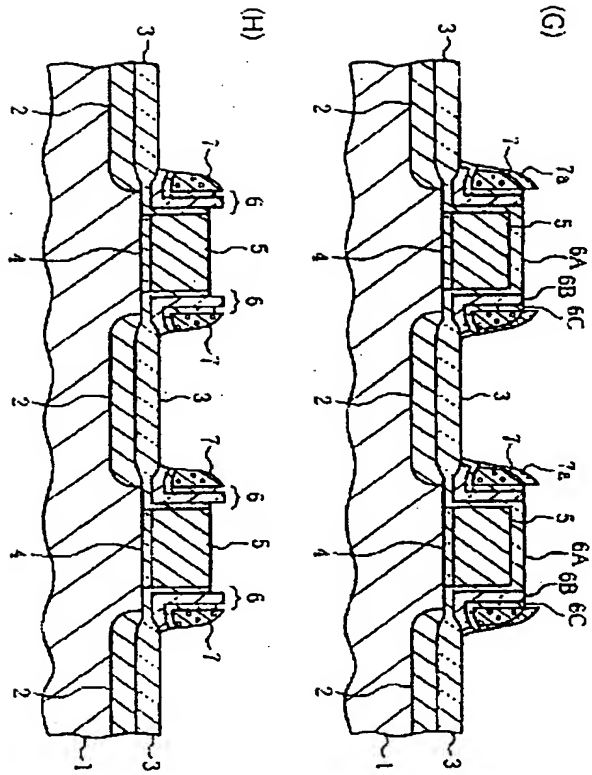
도 5



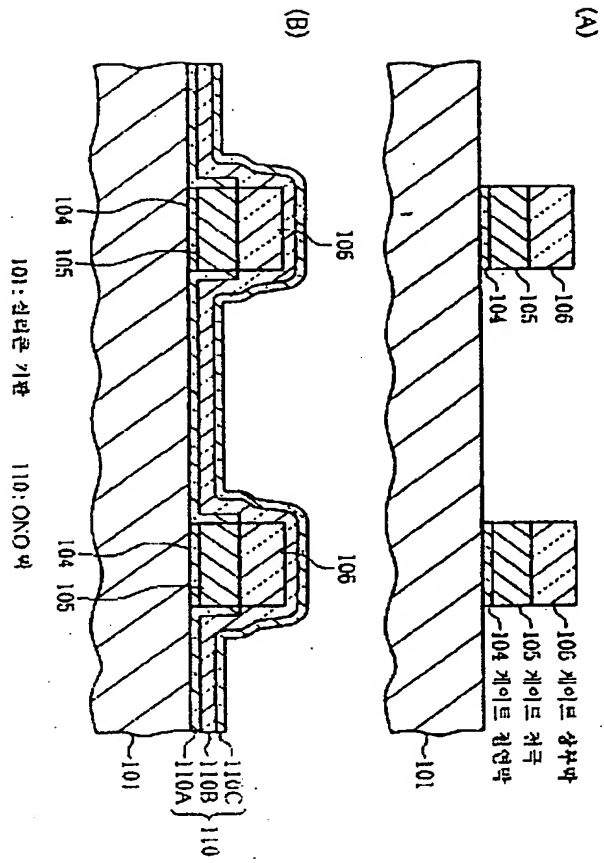
도 7



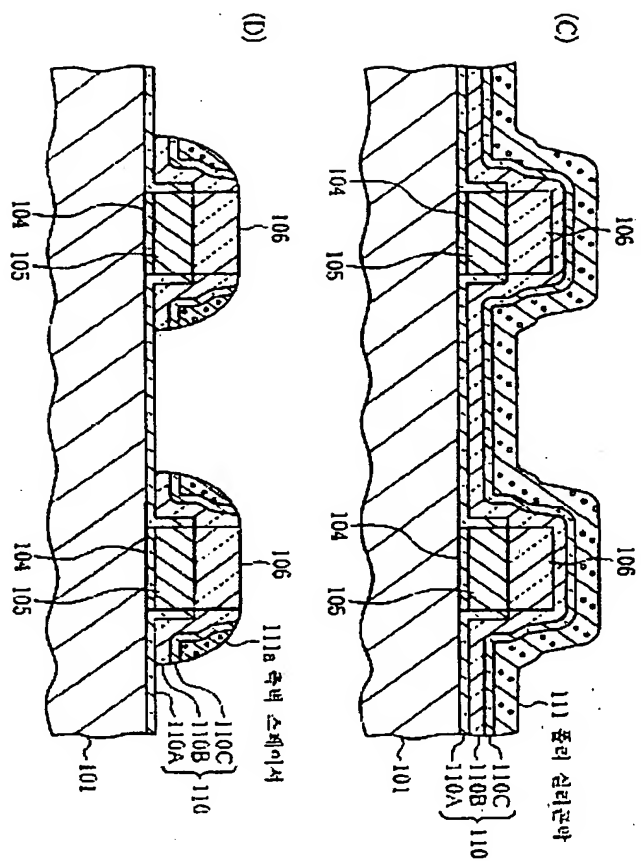
도 8B



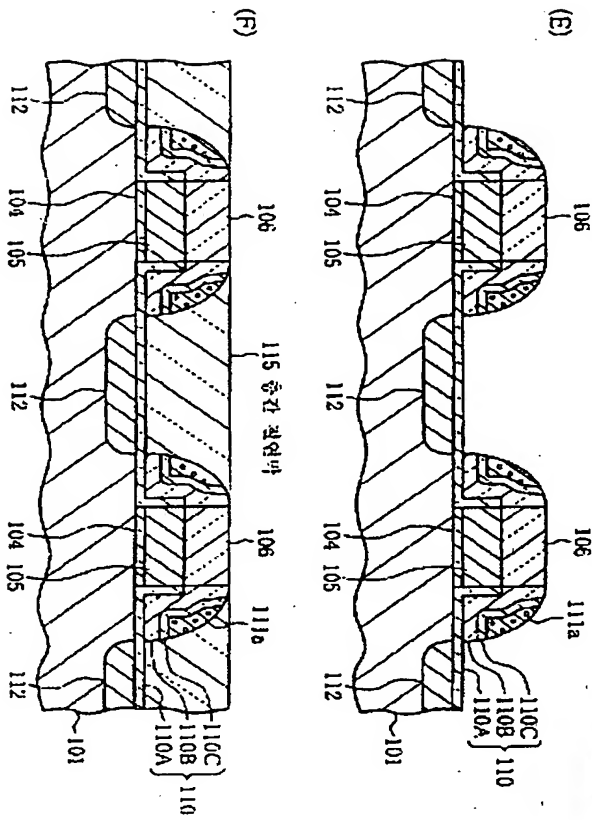
529

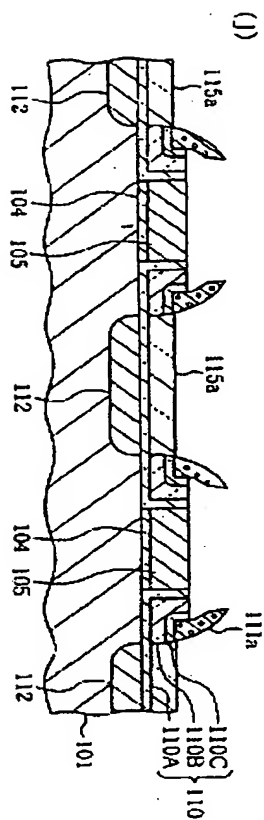
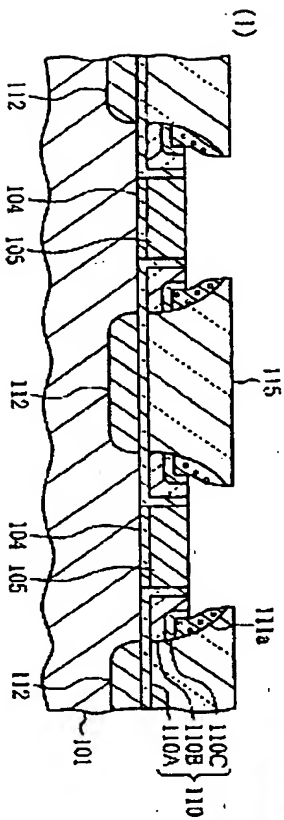


도 37



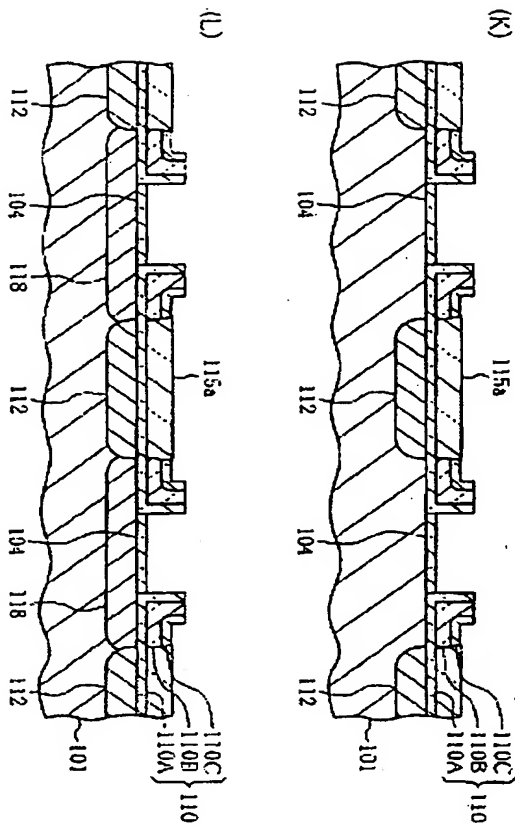
도면 11



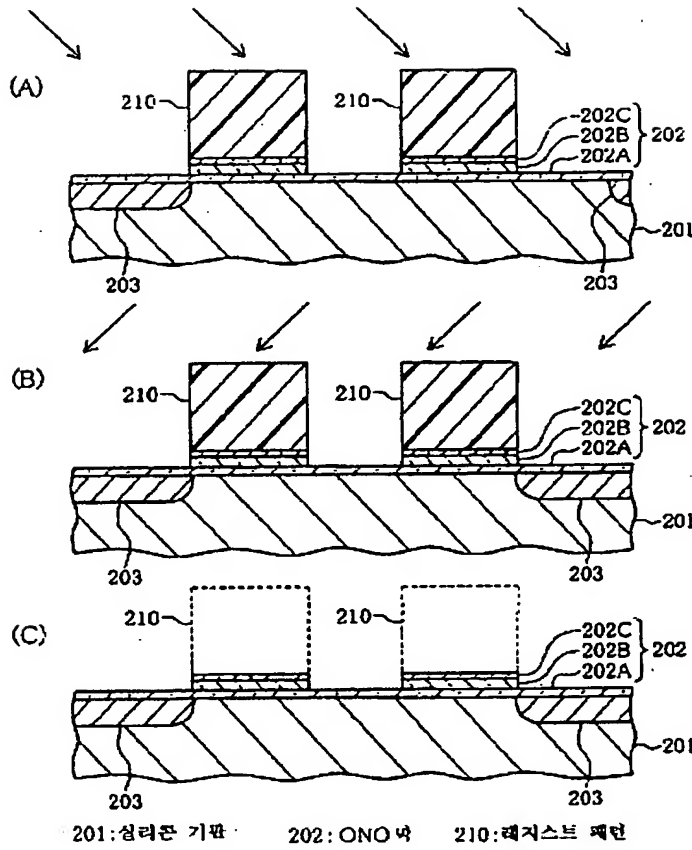


도면

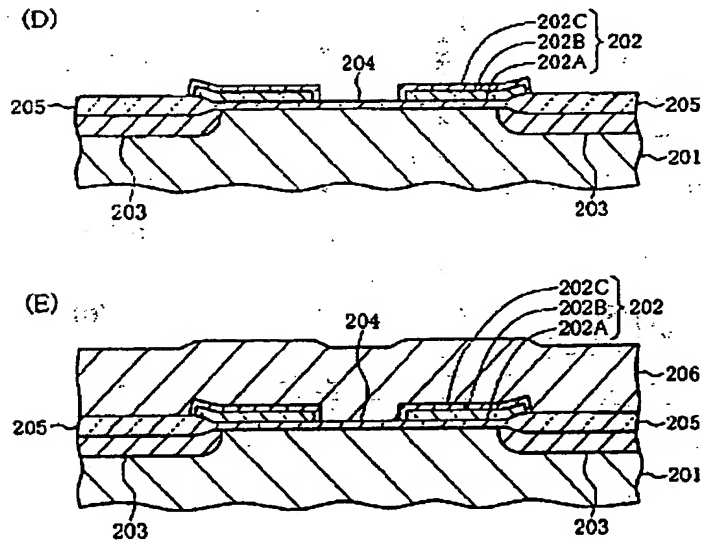
도 5



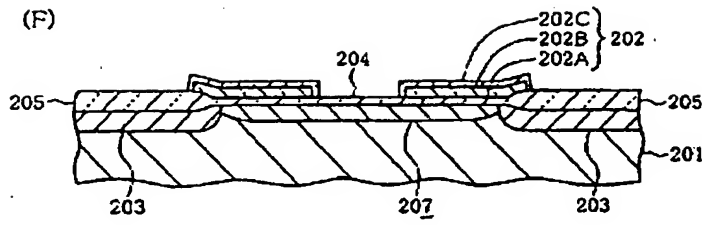
도면 15



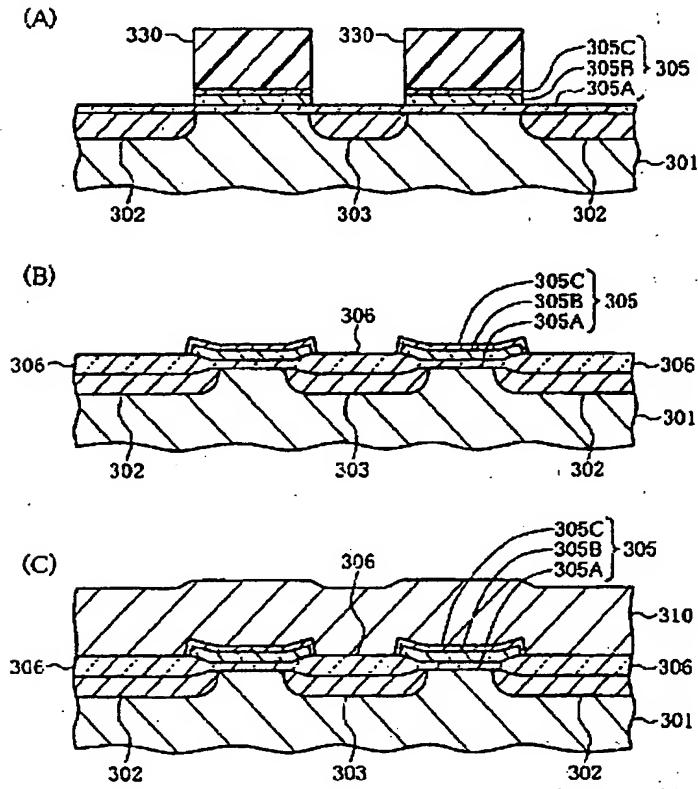
도면 16



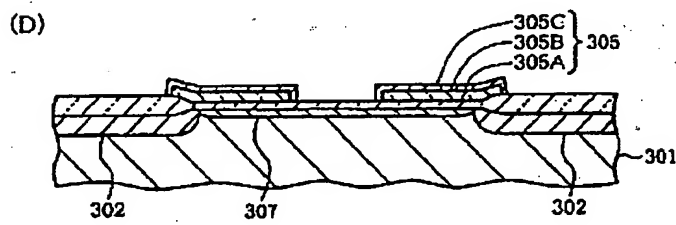
도면 7



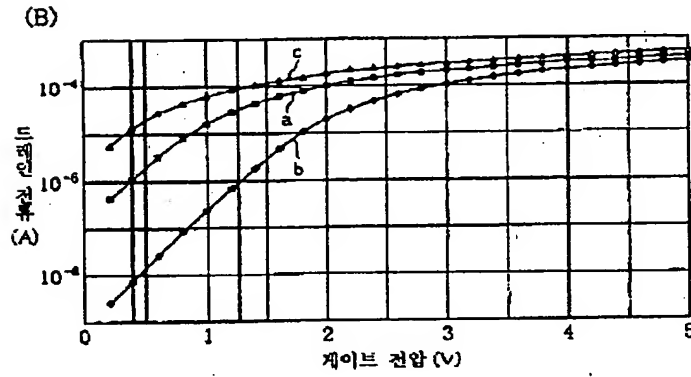
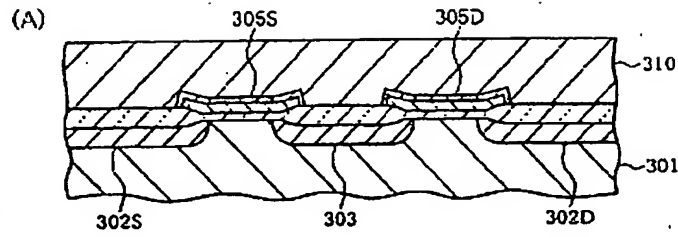
도면 8



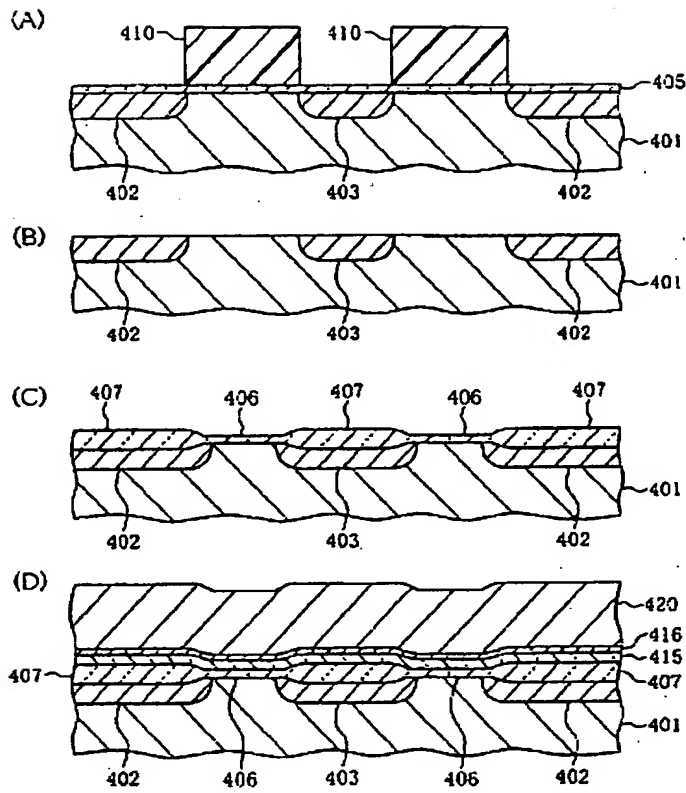
도면 9



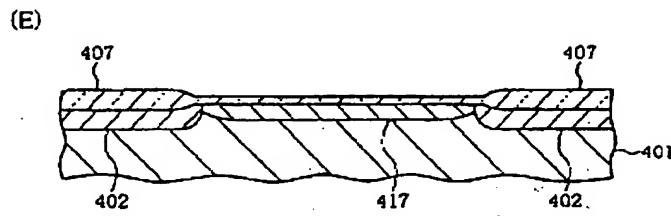
도 2D



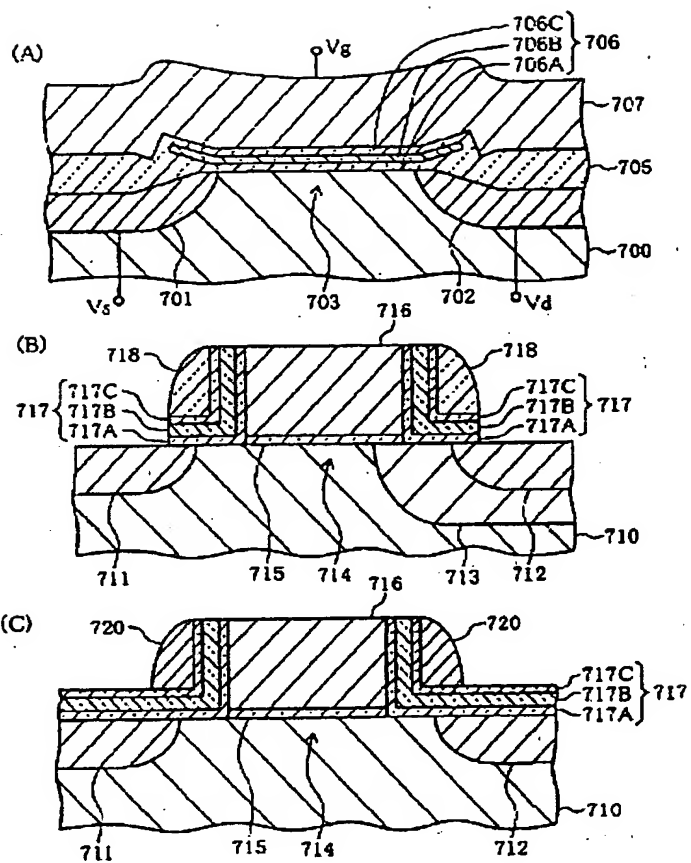
도 21



도 22



도 2B



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ ~~FADED~~ TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.